

Аспіранти Зубко І. А., Аксьонов С. Ф.,
к.т.н., с.н.с Лукашенко А. Г., к.т.н. Рудаков К. С., к.т.н. Лукашенко В. А.,
к.т.н. Міценко С. А., к.т.н., доцент Уткіна Т. Ю.,
д.т.н., професор Лукашенко В. М.

Черкаський державний технологічний університет, Україна

ФІЗИЧНА НАУКОВО-ДОСЛІДНА МОДЕЛЬ ВЕРИФІКАЦІЇ СПЕЦІАЛІЗОВАНОГО БАГАТОФУНКЦІОНАЛЬНОГО ОБЧИСЛЮВАЧА НА БАЗІ ЄДИНОГО ШИФРАТОРУ

На сьогоднішньому етапі розвитку процес проектування комп'ютерно-інтегрованих систем ускладнюється через необхідність врахування прагнення виробників збільшити функціональні можливості, значно поліпшити технічні характеристики (прецизійність, швидкодію, потужність споживання, надійність й зменшити масогабаритні показники), знизити вартість [1, 3-6].

Багатофункціональним обчислювачам присвячені роботи G. Muduli, S. Nath, V. Pradhan, В. І. Корнейчука, К. Г. Самофалова, В. П. Тарасенко та ін. Проте створення вискоелективних моделей багатофункціональних обчислювачів на базі єдиного числового блоку пам'яті (шифратору) вирішені недостатньо.

Отже, розробка фізичної науково-дослідної моделі для верифікації спеціалізованого багатофункціонального обчислювача на базі єдиного шифратору є актуальною науково-практичною задачею.

Метою дослідження є верифікація створеного спеціалізованого багатофункціонального обчислювача на базі єдиного шифратору, який містить відповідні корегуючі константи для перетворення значень вхідних двійково-кодових комбінацій [2], за рахунок моделювання запропонованого обчислювача та порівняння результатів перетворення у створеній фізичній науково-дослідній моделі.

Для досягнення поставленої мети необхідно вирішити наступні задачі:

– провести аналіз існуючих сучасних компонентів комп'ютерно-інтегрованих систем для створення вербальної фізичної науково-дослідної

моделі верифікації спеціалізованого багатофункціонального обчислювача з єдиним шифратором;

- розробити алгоритм моделювання визначеного спеціалізованого багатофункціонального обчислювача з єдиним шифратором на визначеній дослідній платформі;

- створити концептуальну науково-дослідну модель для моделювання та верифікації спеціалізованого багатофункціонального обчислювача з єдиним шифратором;

- розробити алгоритм моделювання та верифікації запропонованого спеціалізованого багатофункціонального обчислювача на базі єдиного шифратора за допомогою фізичної науково-дослідної моделі.

Рішення поставленої задачі. В результаті аналізу існуючих сучасних компонентів комп'ютерно-інтегрованих систем при створенні вербальної фізичної науково-дослідної моделі верифікації для моделювання спеціалізованого багатофункціонального обчислювача з єдиним шифратором та візуалізації процедури перетворення двійково-кодових комбінацій, обрані наступні дослідні платформи: U8EP3C з FPGA Cyclon III, за допомогою якої імітується апаратурна реалізація процедури відтворення значення відповідної функції, як сума по mod 2 вхідної двійково-кової комбінації та відповідного коду корегуючої константи; Arduino UNO, де генеруються вхідні інформаційні та управляючі кодові комбінації. Для проведення процедури верифікації використовується мікрокомп'ютер Raspberry Pi, де формується результат перетворення цієї ж відповідної функції за допомогою програмного методу та їх значення порівнюються, а візуалізація результату здійснюється на моніторі.

З використанням інтерактивного редактора схем Quartus II створено програмний код на мові VHDL для проведення комп'ютерного моделювання оригінальної образно-знакової моделі спеціалізованого обчислювача [2], що реалізує операції перетворення значень двійково-кодових комбінацій таблично-алгоритмічним методом апаратурно.

Для виконання заданих функцій формується маска, яка завантажується до ПЗП дослідної платформи U8EP3C з FPGA Cyclon III.

Алгоритм моделювання апаратної реалізації спеціалізованого багатофункціонального обчислювача [2] з єдиним шифратором на базі дослідної платформи U8EP3C з FPGA Cyclon III представлено на рис. 1.

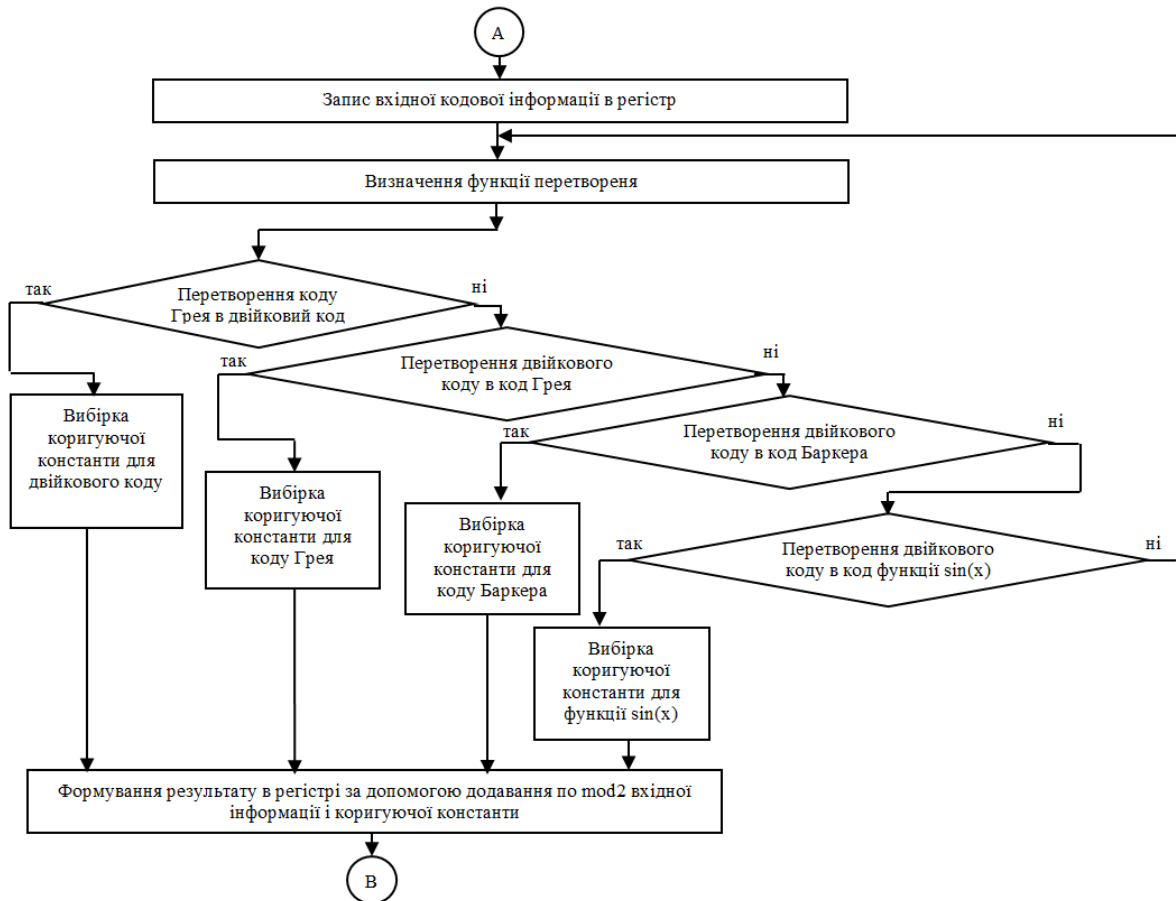


Рис. 1. Алгоритм моделювання апаратної реалізації спеціалізованого обчислювача на базі дослідної платформи U8EP3C з FPGA Cyclon III

Примітка: позначки А, В – для використання в загальному алгоритмі верифікації

Для проведення процедури верифікації запропонованого спеціалізованого багатофункціонального обчислювача з єдиним шифратором створено концептуальну науково-дослідну модель, яка представлена на рис. 2.

Моделювання та верифікація спеціалізованого багатофункціонального обчислювача на базі єдиного шифратора здійснюється відповідно до розробленого алгоритму (рис. 3), де початок і кінець виконання алгоритму

перетворення вхідного коду відмічені позначками А, В, які наведені на рис. 1.

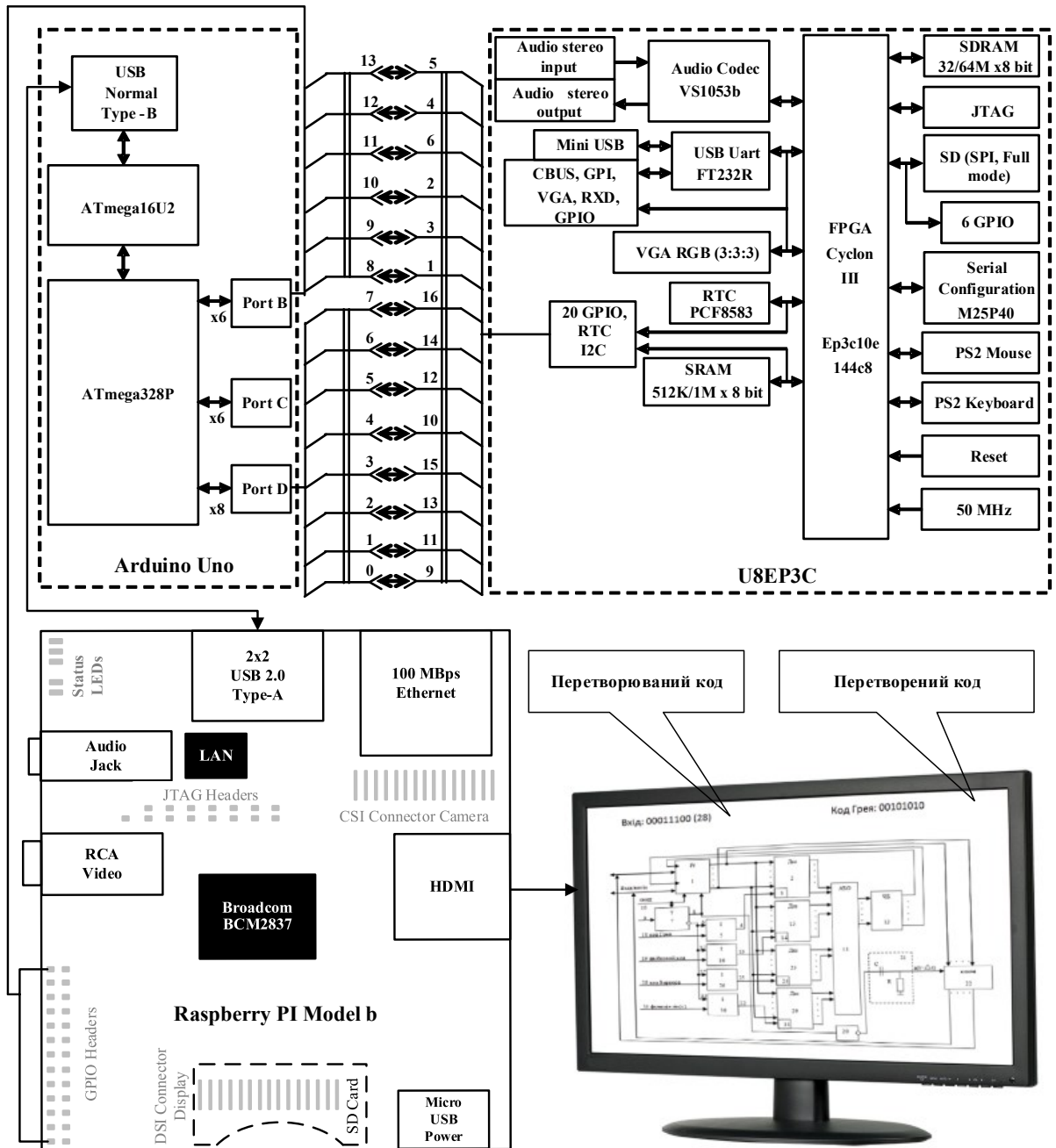


Рис. 2. Концептуальна науково-дослідна модель для моделювання та верифікації спеціалізованого багатofункціонального обчислювача на базі єдиного шифратора
 Загальний алгоритм моделювання та верифікації апаратурної реалізації спеціалізованого багатofункціонального обчислювача на базі єдиного шифратора відображає послідовність процедур, що відбуваються в фізичній науково-дослідній моделі при моделюванні та верифікації спеціалізованого багатofункціонального обчислювача, а саме: надходження вхідних

інформаційних та управляючих двійково-кодових комбінацій від дослідної платформи Arduino Uno; вибору необхідної функції виконання та перетворення за допомогою дослідної платформи U8EP3C з FPGA Cyclon III; проведення процедури верифікації відповідної функції, яка реалізується програмним методом мікрокомп'ютером Raspberry Pi. Візуалізація порівняльного аналізу апаратурної та програмної реалізацій запропонованої функції відображається на моніторі наступним чином.

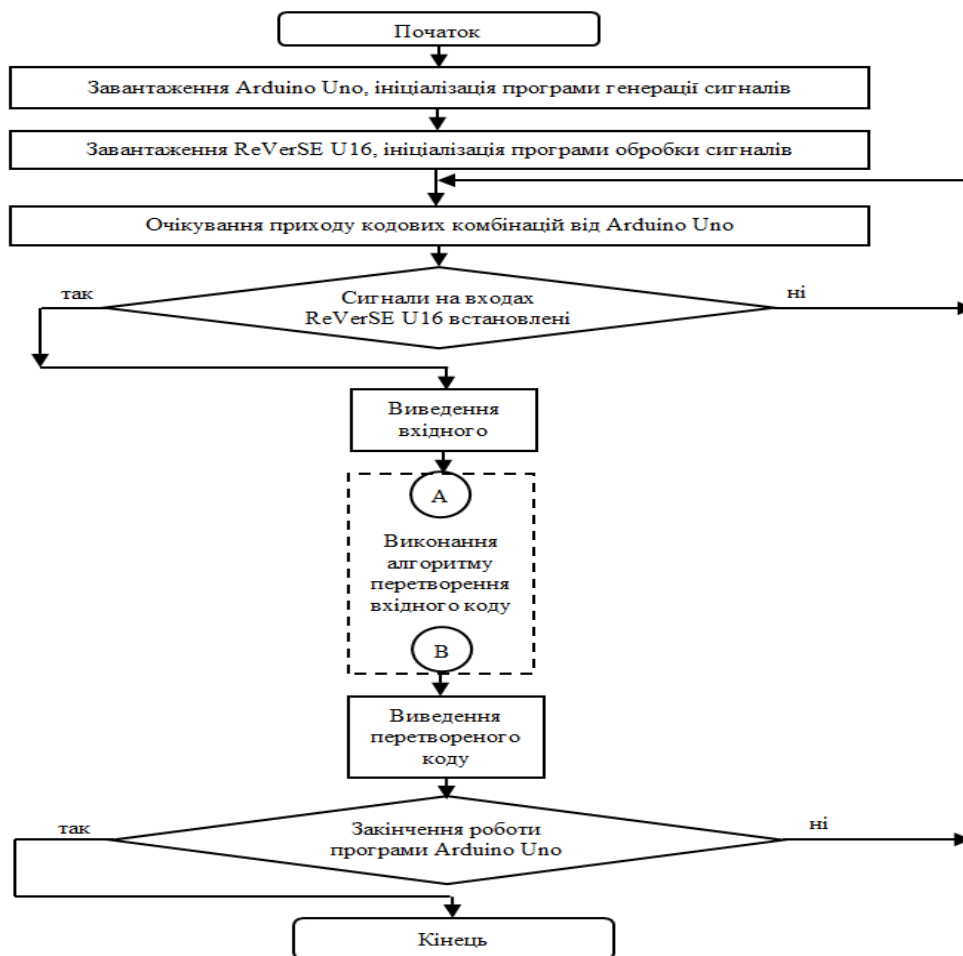


Рис. 3. Загальний алгоритм моделювання та верифікації апаратурної реалізації спеціалізованого багатofункціонального обчислювача на базі єдиного шифратора

При збігу значень результатів перетворення вхідної двійково-кодової комбінації у відповідне значення визначеної функції на моніторі відображається тільки вхідна та вихідна інформація. У випадку хибного результату перетворення на моніторі відображається дві вихідні двійково-кодові комбінації, що свідчить про наявність помилки в апаратурній чи

програмній реалізації, що дозволяє з мінімальними витратами перевірити працездатність запропонованої моделі спеціалізованого обчислювача.

Висновки

В роботі вирішена науково-практична задача по моделюванню та верифікації визначеного спеціалізованого багатофункціонального обчислювача з єдиним шифратором, який містить відповідні корегуючі константи для перетворення значень вхідних двійково-кодових комбінацій для багатьох функцій за допомогою створеної фізичної науково-дослідної моделі.

Основними науковими та практичними результатами роботи є:

1. Проведено аналіз існуючих сучасних компонентів комп'ютерно-інтегрованих систем, що дозволив визначити основні компоненти вербальної фізичної науково-дослідної моделі: U8EP3C з FPGA Cyclon III, Arduino UNO, мікрокомп'ютер Raspberry Pi, монітор. На підставі цих компонентів створена концептуальна науково-дослідна модель для моделювання та верифікації багатофункціонального обчислювача з єдиним шифратором.

2. Розроблено алгоритм моделювання визначеного спеціалізованого багатофункціонального обчислювача з єдиним шифратором на дослідній платформі U8EP3C з FPGA Cyclon III.

3. Розроблено загальний алгоритм моделювання та верифікації запропонованого спеціалізованого багатофункціонального обчислювача на базі єдиного шифратора за допомогою розробленої фізичної науково-дослідної моделі завдяки чому проведена верифікація розробленої образно-знакової моделі спеціалізованого обчислювача на базі єдиного шифратора, яка підтвердила його працездатність.

4. Розроблена фізична науково-дослідна модель є універсальною для верифікації процедури перетворення двійково-кодових комбінацій, що дозволяє прискорити процедуру проектування та зменшити ймовірність появи помилок апаратної реалізації досліджуваних моделей спеціалізованих обчислювачів.

Література:

1. Лукашенко В. А. Систематизація методів, моделей сопроцесорів для високошвидкісних, прецизійних мікропроцесорних проблемно-орієнтованих систем / В. А. Лукашенко, А. Г. Лукашенко, В. М. Співак // Вісник Хмельницького національного університету. – 2015. – № 1. – С. 164–169.
2. Пат. на винахід 111459 Україна, МПК (2016.01) G 06F 5/00, G 06F 7/00, G 06F 9/00, H 03K 19/00. Багатофункціональний таблично-логічний співпроцесор / В. А. Лукашенко, А. Г. Лукашенко, І. А. Зубко, Д. А. Лукашенко, В. М. Лукашенко; заявник та власник В. М. Лукашенко. - № а 2015 09351; заявл. 28.09.2015.; опубл. 25.04.2016, Бюл. № 8.
3. Якісна оцінка розвитку технологій сучасних співпроцесорів / В. А. Лукашенко, В. В. Корнух, Т. Ю. Уткіна, В. М. Лукашенко // «Автоматизація та комп'ютерно-інтегровані технології у виробництві та освіті – 2016»: збірник матеріалів IV Всеукраїнської науково-практичної Інтернет-конференції : (14-20 березня 2016 року, м. Черкаси, Україна). – Черкаси : ЧНУ ім. Б. Хмельницького, 2016. – С. 71–73.
4. Удосконалення спеціалізованого гібридного багатофункціонального сопроцесора / В. М. Лукашенко, Т. Ю. Уткіна, А. Г. Лукашенко та ін. // Вісник Сумського державного університету. – 2012. – № 1. – С. 138–144.
5. Принцип побудови компонентів спеціалізованих систем керування для лазерного технологічного комплексу / В. М. Лукашенко, С. А. Міценко, Т. Ю. Уткіна та ін. // Бъдещето въпроси от света на науката – 2011 : материали VII Международна научна практична конференция : (17-25 дек. 2011 р., Болгария, София). – София: «Бял ГРАД-БГ» ООД, 2011. – Т. 28. – С. 16–20.
6. Базовый кристалл при создании таблично-алгоритмических сопроцессоров / В. М. Лукашенко, Т. Ю. Уткина, В. А. Лукашенко та ін. // Информатика, математика, автоматика – 2012 : матеріали наук.-техн. конф. : (16-21 квіт. 2012 р., Суми). Суми : Сумський державний університет, 2012. – С. 126–127.