

УКРАЇНА



ПАТЕНТ

НА ВИНАХІД

№ 111808

**СПІВПРОЦЕСОР ДЛЯ ОБЧИСЛЕННЯ ЗНАЧЕНЬ "ПРЯМИХ"
ТА "ОБЕРНЕНИХ" ФУНКЦІЙ**

Видано відповідно до Закону України "Про охорону прав на винаходи і корисні моделі".

Зареєстровано в Державному реєстрі патентів України на винаходи
10.06.2016.

В.о. Голови Державної служби
інтелектуальної власності України

А.А.Малиш



(19) **UA**

(51) МПК (2016.01)

G06F 5/01 (2006.01)

G06G 7/00

G05F 5/00

G06F 7/00

G06F 7/544 (2006.01)

G06F 7/38 (2006.01)

G06F 17/10 (2006.01)

G06F 17/14 (2006.01)

G06F 9/30 (2006.01)

H03K 19/173 (2006.01)

H03K 19/20 (2006.01)

H03K 19/003 (2006.01)

- (21) Номер заявки: **а 2015 10690**
- (22) Дата подання заявки: **02.11.2015**
- (24) Дата, з якої є чинними права на винахід: **10.06.2016**
- (41) Дата публікації відомостей про заявку та номер бюлетеня: **25.02.2016, Бюл.№ 4**
- (46) Дата публікації відомостей про видачу патенту та номер бюлетеня: **10.06.2016, Бюл. № 11**

- (72) Винахідники:
Лукашенко Володимир Андрійович, UA,
Лукашенко Андрій Германович, UA,
Зубко Ігор Анатолійович, UA,
Лукашенко Дмитро Андрійович, UA,
Лукашенко Валентина Максимівна, UA,
Рудаков Костянтин Сергійович, UA
- (73) Власник:
Лукашенко Валентина Максимівна,
вул. Гагаріна, 55, кв. 423, м. Черкаси, 18021, UA

(54) Назва винаходу:

СПІВПРОЦЕСОР ДЛЯ ОБЧИСЛЕННЯ ЗНАЧЕНЬ "ПРЯМИХ" ТА "ОБЕРНЕНИХ" ФУНКЦІЙ

(57) Формула винаходу:

Співпроцесор для обчислення значень "прямих" та "обернених" функцій, що містить перший блок керуючих елементів I, перший вхід якого підключено до керуючого входу "пряма функція", другий блок керуючих елементів I, перший вхід якого підключено до керуючого входу "обернена функція", дешифратор x, дешифратор y, кодові входи яких з'єднані, а виходи підключені через блок елементів АБО до відповідних входів числового блока пам'яті, перші виходи якого підключені до кодових входів регістра, керуючий вхід якого підключено до відповідного керуючого виходу мікропрограмного автомата (МПА), зміщуючий регістр входу, кодовий вхід якого є входом пристрою, а вихід підключено до з'єднаних входів дешифраторів x, y та до інформаційних входів блока вентилів, керуючі входи якого підключені до відповідного виходу МПА, виходи блока вентилів підключені до лічильних входів регістра, перший керуючий вхід зміщуючого регістра входу підключено до відповідного виходу МПА, другий вхід першого блока керуючих елементів I підключено до другого виходу числового блока пам'яті, другий вхід другого блока керуючих елементів I підключено до другого виходу числового блока пам'яті через елемент НІ, крім того, блок МДП-ключів, керуючий вхід якого підключений до відповідного виходу МПА, вихід блока МДП-ключів підключений до входу пристрою, який є входом/виходом співпроцесора для обчислення значень "прямих" та "обернених" функцій, який відрізняється тим, що додатково введено елемент АБО, перший вхід якого підключений до виходу першого блока керуючих

(11) **111808**

елементів І, а другий вхід підключений до виходу другого блока керуючих елементів І, вихід елемента АБО підключено до другого керуючого входу зміщуючого регістра входу, також додатково введені перший та другий диференціюючі ланцюги, де вхід першого диференціюючого ланцюга підключений до керуючого входу "пряма функція", а вихід підключений до керуючого входу дешифратора х, вхід другого диференціюючого ланцюга підключений до керуючого входу "обернена функція", а вихід підключений до керуючого входу дешифратора у, крім того, вхід блока МДП-ключів підключено до виходу регістра.

Пронумеровано, прошито металевими
люверсами та скріплено печаткою
3 арк.
10.06.2016



Уповноважена особа

(підпис)



УКРАЇНА

(19) **UA** (11) **111808** (13) **C2**
(51) МПК (2016.01)

G06F 5/01 (2006.01)
G06G 7/00
G05F 5/00
G06F 7/00
G06F 7/544 (2006.01)
G06F 7/38 (2006.01)
G06F 17/10 (2006.01)
G06F 17/14 (2006.01)
G06F 9/30 (2006.01)
H03K 19/173 (2006.01)
H03K 19/20 (2006.01)
H03K 19/003 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

<p>(21) Номер заявки: а 2015 10690</p> <p>(22) Дата подання заявки: 02.11.2015</p> <p>(24) Дата, з якої є чинними права на винахід: 10.06.2016</p> <p>(41) Публікація відомостей про заявку: 25.02.2016, Бюл.№ 4</p> <p>(46) Публікація відомостей про видачу патенту: 10.06.2016, Бюл.№ 11</p>	<p>(72) Винахідник(и): Лукашенко Володимир Андрійович (UA), Лукашенко Андрій Германович (UA), Зубко Ігор Анатолійович (UA), Лукашенко Дмитро Андрійович (UA), Лукашенко Валентина Максимівна (UA), Рудаков Костянтин Сергійович (UA)</p> <p>(73) Власник(и): Лукашенко Валентина Максимівна, вул. Гагаріна, 55, кв. 423, м. Черкаси, 18021 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: US 5469376 A, 21.11.1995 US 7017029 B2, 21.03.2006 WO 2010045028 A1, 22.04.2010 US 5987489 A, 16.11.1999 US 7098708 B2, 29.08.2006 US 4841464 A, 20.06.1989 SU 1075254 A1, 23.02.1984 UA 53966 A, 17.02.2003 UA 53450 U, 11.10.2010</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

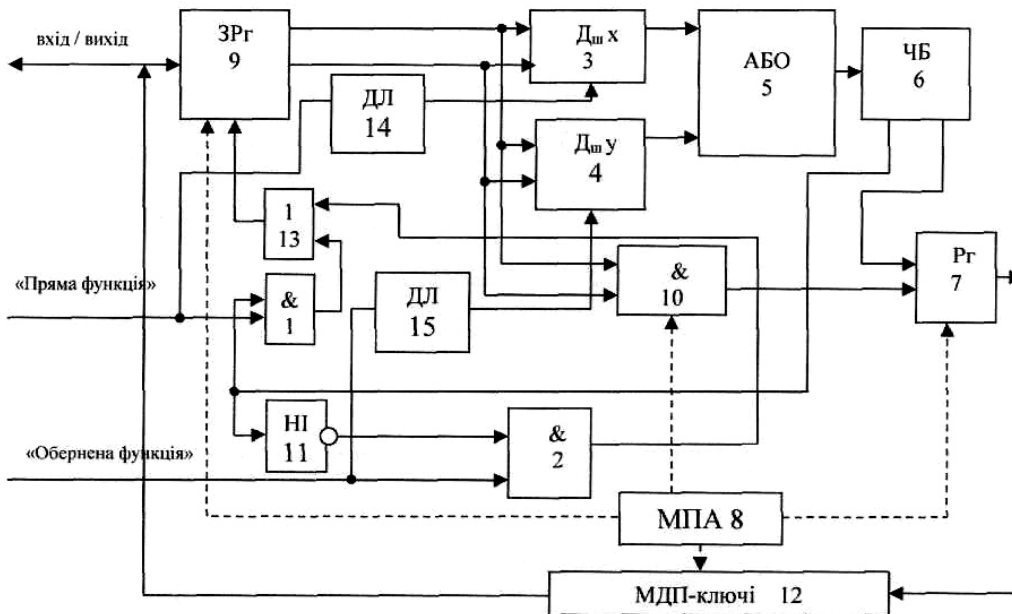
(54) СПІВПРОЦЕСОР ДЛЯ ОБЧИСЛЕННЯ ЗНАЧЕНЬ "ПРЯМИХ" ТА "ОБЕРНЕНИХ" ФУНКЦІЙ

(57) Реферат:

Винахід належить до області обчислювальної техніки. Співпроцесор для обчислення значень "прямих" та "обернених" містить перший блок керуючих елементів I, другий блок керуючих елементів I, дешифратор x та дешифратор y, блок елементів АБО, числовий блок пам'яті, регістр, мікропрограмний автомат, зміщуючий регістр входу, блок вентилів, елемент ІІ, елемент затримки, блок МДП-ключів, з відповідними зв'язками, додатково введено елемент АБО перший вхід якого підключений до виходу першого блока керуючих елементів I, а другий вхід підключений до виходу другого блока керуючих елементів I, вихід елемента АБО підключено до другого керуючого входу зміщуючого регістра входу, додатково введено перший

UA 111808 C2

та другий диференціюючі ланцюги (ДЛ), вхід першого ДЛ підключений до керуючого входу "пряма функція", а вихід підключений до керуючого входу дешифратора Дш x, вхід другого ДЛ підключений до керуючого входу "обернена функція", а його вихід підключений до керуючого входу дешифратора Дш y, крім того, вихід елемента затримки підключено до третього керуючого входу зміщуючого регістра ЗРг, вхід блока МДП-ключів підключено до виходу регістра Рг. Технічним результатом, що досягається даним винаходом, є зменшення потужності споживання щонайменше в 1,5 разу.



Винахід належить до обчислювальної техніки й призначається для використання в інформаційних обчислювальних системах, у функціонально-орієнтованих системах спеціального призначення.

5 Відомий пристрій, що вміщує блок пам'яті, регістр, дешифратор функцій, дешифратор аргументу, блок керування, групу елементів "I", розподільний блок, блок комутаторів, групу елементів "АБО" [1] з відповідними зв'язками.

Однак при збільшенні точності відтворення прямих та обернених функцій зростає об'єм пам'яті й кількість комутаторів, це збільшує апаратні витрати, збільшує габарити пристрою, зменшує надійність і збільшує вартість пристрою.

10 Найбільш близьким до пропонованого по технічній суті є цифровий пристрій для обчислення прямих та обернених функцій [2], що містить перший блок керуючих елементів I, перший вхід якого підключено до керуючого входу "пряма функція", другий блок керуючих елементів I, перший вхід якого підключено до керуючого входу "обернена функція", дешифратор x, дешифратор у, кодові входи яких з'єднані, а виходи підключені через блок елементів АБО до відповідних входів числового блока пам'яті, перші виходи якого підключені до кодових входів регістра, керуючий вхід якого підключено до відповідного керуючого виходу мікропрограмного автомата (МПА), зміщуючий регістр входу, кодовий вхід якого є входом пристрою, а вихід підключено до з'єднаних входів дешифраторів x, у та до інформаційних входів блока вентилів, керуючі входи якого підключені до відповідного виходу МПА, а виходи блока вентилів підключені до лічильних входів регістра, перший керуючий вхід зміщуючого регістра входу підключено до відповідного виходу МПА, другий вхід першого блока керуючих елементів I підключено до другого виходу числового блока пам'яті, другий вхід другого блока керуючих елементів I підключено до другого виходу числового блока пам'яті через елемент НІ, крім того, блок МДП-ключів, керуючий вхід якого підключений до відповідного виходу МПА, вихід блока МДП-ключів підключений до входу пристрою, який є входом/виходом співпроцесора для обчислення значень "прямих" та "обернених" функцій.

Проте при збільшенні точності зростає число розрядів і, як наслідок, зростає кількість тригерів у регістрах, що збільшує енергоспоживання пристрою, збільшується нагрів кристалу і, як наслідок, погіршуються умови експлуатації пристрою. Це може призвести до зменшення часу напрацювання на відмову пристрою.

Недоліком даного пристрою є велике енергоспоживання.

Задача винаходу - зменшення енергоспоживання.

35 Зазначена задача вирішується тим, що в основу винаходу співпроцесора для обчислювання "прямих" та "обернених" функцій поставлено задачу зменшення енергоспоживання при відтворенні значень "прямих" та "обернених" функцій шляхом схемотехнічного рішення.

40 Поставлена задача вирішується тим, що додатково введено елемент АБО 13 перший вхід якого підключений до виходу першого блока керуючих елементів I 1, а другий вхід підключений до виходу другого блока керуючих елементів I 2, вихід елемента АБО 13 підключено до другого керуючого входу зміщуючого регістра входу 9, додатково введені перший 14 та другий 15 диференціюючі ланцюги, вхід першого 14 підключений до керуючого входу "пряма функція", а вихід підключений до керуючого входу дешифратора x 3, вхід другого 15 додатково введеного диференціюючого ланцюга підключений до керуючого входу "обернена функція", а вихід підключений до керуючого входу дешифратора у 4, крім того, вхід блока МДП-ключів 12 підключено до виходу регістра 7.

45 Отже, забезпечується надпідсумковий позитивний ефект, зумовлений сукупністю вказаних ознак, що задовольняє критерію "суттєві відмінності".

На фіг. 1 зображена структурна схема співпроцесора для обчислення значень "прямих" та "обернених" функцій.

50 Співпроцесор для обчислення значень "прямих" та "обернених" функцій, що містить перший блок керуючих елементів I 1, перший вхід якого підключено до керуючого входу "пряма функція", другий блок керуючих елементів I 2, перший вхід якого підключено до керуючого входу "обернена функція", дешифратор x 3, дешифратор у 4, кодові входи яких з'єднані, а виходи підключені через блок елементів АБО 5 до відповідних входів числового блока пам'яті 6, перші виходи якого підключені до кодових входів регістра 7, керуючий вхід якого підключено до відповідного керуючого виходу мікропрограмного автомата (МПА) 8, зміщуючий регістр входу 9, кодовий вхід якого є входом пристрою, а вихід підключено до з'єднаних входів дешифраторів x 3, у 4 та до інформаційних входів блока вентилів 10, керуючі входи якого підключені до відповідного виходу МПА 8, а виходи блока вентилів 10 підключені до лічильних входів регістра 7, перший керуючий вхід зміщуючого регістра входу 9 підключено до відповідного виходу МПА 8, другий вхід першого блока керуючих елементів I 1 підключено до другого виходу числового

блока пам'яті 6, другий вхід другого блока керуючих елементів I 2 підключено до другого виходу числового блока пам'яті 6 через елемент HI 11, крім того, блок МДП-ключів 12, керуючий вхід якого підключений до відповідного виходу МПА 8, вихід блока МДП-ключів 12 підключений до входу пристрою, який є входом/виходом співпроцесора для обчислення значень "прямих" та "обернених" функцій, додатково введено елемент АБО 13, перший вхід якого підключений до виходу першого блока керуючих елементів I 1, а другий вхід підключений до виходу другого блока керуючих елементів I 2, вихід елемента АБО 13 підключено до другого керуючого входу зміщуючого регістра входу 9, додатково введені перший 14 та другий 15 диференціюючі ланцюги, вхід першого 14 підключений до керуючого входу "пряма функція", а вихід підключений до керуючого входу дешифратора x 3, вхід другого 15 додатково введеного диференціюючого ланцюга підключений до керуючого входу "обернена функція", а вихід підключений до керуючого входу дешифратора у 4, крім того, вхід блока МДП-ключів 12 підключено до виходу регістра 7.

Відомо, що потужність споживання одного тригера $P_{тр}$ адекватна сумі потужностей споживання чотирьох логічних елементів [3] і нехай дорівнює $40\mu\text{Вт}$.

Припустимо, розрядність інформаційних операндів, що обробляються, дорівнює $n=32$, тоді кількість тригерів у одному регістрі $N_{тр}=n$, тоді у прототипі, функціональна схема якого має три регістри, кількість тригерів дорівнює

$$N_{прот.} = 3N_{тр.} = 3 \cdot 32 = 96.$$

При цьому загальна потужність споживання тригерів у прототипі дорівнює

$$P_{прот.} = 96 \cdot 40 = 3840 \mu\text{Вт}.$$

Потрібно відмітити, що порівняння потужностей споживання у прототипі та у запропонованому винаході проводиться при ідентичних умовах формування елементів конструкції, технології виготовлення тригерів.

Враховуючі, що у запропонованому співпроцесорі відповідно до структурної схеми (фіг. 1), кількість тригерів складає $N_{винах.} = 2 \cdot 32 = 64$, тобто на 32 тригерів менше, тоді потужність споживання $P_{винах.}$ у запропонованому сопроцесорі зменшується на

$$40 \cdot (N_{прот.} - N_{винах.}) - 40 \cdot 32 = 1280 \mu\text{Вт}.$$

Отже, завдяки оригінальному схемотехнічному рішення у запропонованому співпроцесорі потужність споживання зменшується в

$$P_{прот.} / P_{винах.} = 3840 / (3840 - 1280) = 1,5 \text{ рази}.$$

Співпроцесор для обчислення "прямих" та "обернених" функцій працює таким чином:

Після обнуління регістра (Рг), 7 зміщуючого регістра (ЗРг) 9 входу та виходу, вхідна інформація аргументу x записується в регістр ЗРг 9. Команда відтворення операції "пряма функція" надходить одночасно на перший вхід блока керуючих елементів I 1 та на диференціюючий ланцюг (Дл) 14, вихідний імпульс якого приходить на керуючий вхід Дш x 3, на відповідному виході якого з'явиться імпульс, який через блок елементів АБО 5 збуджує відповідну шину числового блока пам'яті 6. Відповідні корегуючі константи з перших виходів числового блока пам'яті 6 надходять на кодові входи регістра Рг 7 і одиниці коду записуються у відповідні тригери регістра Рг 7.

При цьому константа управління зсувом коду інформації для відтворення значень "прямої" функції, з'являється на другому виході числового блока пам'яті 6. Своєчасний зсув вхідної інформації аргументу x в ЗРг 9 на j розрядів праворуч або ліворуч (у залежності від знака j) забезпечується елементами I 1, "АБО" 13. Трансформована по цілих степенях двійки вхідна інформація під дією керуючого імпульсу МПА 8 передається через блок вентилів I 10 і надходить на лічильні входи регістра Рг 7, на виході якого з'являється значення "прямої" функції відповідно коду аргументу x, яка надходить на вхід/вихід пристрою з Рг 7 через блок МДП-ключів 12 під дією керуючого імпульсу, який надходить з відповідного виходу МПА 8.

Формування значення обернених функцій відрізняється тим, що після обнуління Рг 7, ЗРг 9, вхідна інформація аргументу у записується в ЗРг 9. Одночасно надходить команда відтворення "обернена функція" на перші входи блока керуючих елементів "I" 2 та на вхід диференціюючого ланцюга (Дл) 15, вихідний імпульс якого приходить на керуючий вхід Дш "у" 4, на виході якого з'явиться імпульс, який через блок елементів "АБО" 5 збуджує відповідну шину числового блока пам'яті 6. Відповідні корегуючі константи з перших виходів числового блока пам'яті 6 надходять на кодові входи регістра Рг 7 і одиниці коду записуються у відповідні тригери регістра Рг 7.

При цьому константа управління зсувом коду інформації для відтворення "оберненої" функції, з'являється на другому виході числового блока пам'яті 6. Своєчасний зсув інформації в регістрі ЗРг 9 на j розрядів ліворуч або праворуч (тобто протилежно спрямований знаку j) забезпечується елементами HI 11, I 2, АБО 13. Трансформована по цілих степенях двійки вхідна інформація під дією керуючого імпульсу МПА 8 передається через блок вентилів I 10 і

надходить на лічильні входи регістра Rr 7, у результаті на виході Rr 7 відтворюється значення "оберненої" функції, яка надходить на вхід/вихід пристрою через блок МДП-ключів 12 під дією керуючого імпульсу, який надходить з відповідного виходу МПА 8.

Отже, в запропонованому співпроцесорі для обчислення значень "прямих" та "обернених" функцій потужність споживання зменшується в 1,5 разу завдяки оригінальному схемотехнічному рішенню.

Джерела інформації:

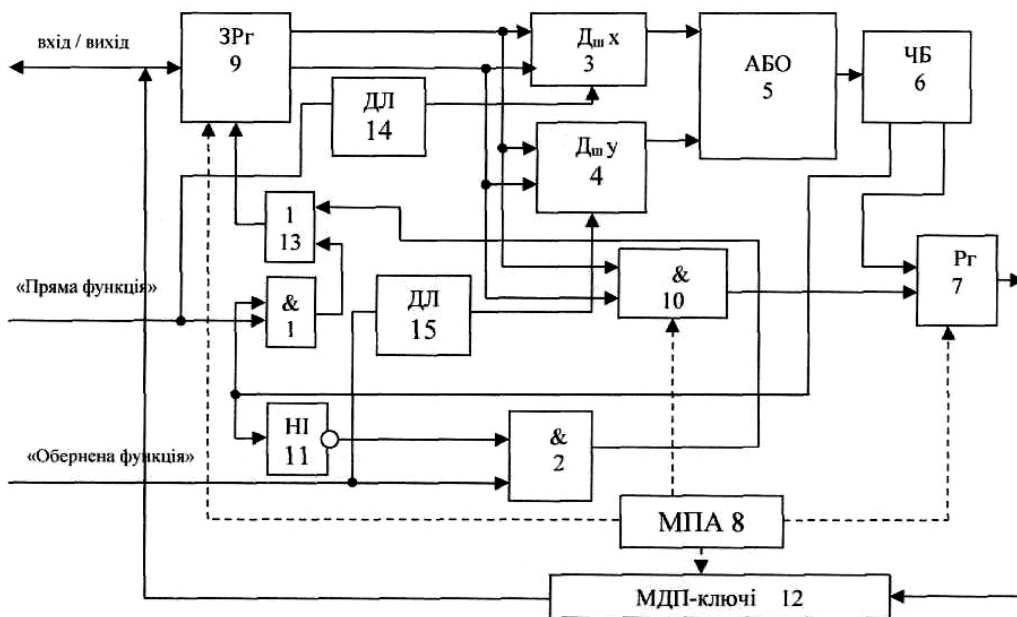
1. Пат. 53966 А Україна, МПК G06G07/26. Цифровий пристрій для обчислення функцій / В.М. Лукашенко, Д.А. Лукашенко, В.А. Жицький ЧДТУ UA - № 2002042664; Заявл. 03.04.2002; Опубл. 17.02.2003; Бюл. № 2.

2. Пат. 53450 України, МПК G06G 7/00 G06G 7/00. Цифровий пристрій для обчислення прямих та обернених функцій / Лукашенко А.Г., Лукашенко Д.А., Лукашенко В.А., Лукашенко В.М.; заявник Черкаський державний технологічний університет. - № u 201003337; заявл. 22.03.2010; опубл. 11.10.2010, Бюл. № 19 (прототип).

3. Самофалов К.Г., Корнейчук В.І., Тарасенко В.П. Электронные цифровые вычислительные машины. К.: Вища школа, 1986. - 480 с.

ФОРМУЛА ВИНАХОДУ

Співпроцесор для обчислення значень "прямих" та "обернених" функцій, що містить перший блок керуючих елементів I, перший вхід якого підключено до керуючого входу "пряма функція", другий блок керуючих елементів I, перший вхід якого підключено до керуючого входу "обернена функція", дешифратор x, дешифратор y, кодові входи яких з'єднані, а виходи підключені через блок елементів АБО до відповідних входів числового блока пам'яті, перші виходи якого підключені до кодових входів регістра, керуючий вхід якого підключено до відповідного керуючого виходу мікропрограмного автомата (МПА), зміщуючий регістр входу, кодовий вхід якого є входом пристрою, а вихід підключено до з'єднаних входів дешифраторів x, y та до інформаційних входів блока вентилів, керуючі входи якого підключені до відповідного виходу МПА, виходи блока вентилів підключені до лічильних входів регістра, перший керуючий вхід зміщуючого регістра входу підключено до відповідного виходу МПА, другий вхід першого блока керуючих елементів I підключено до другого виходу числового блока пам'яті, другий вхід другого блока керуючих елементів I підключено до другого виходу числового блока пам'яті через елемент НІ, крім того, блок МДП-ключів, керуючий вхід якого підключений до відповідного виходу МПА, вихід блока МДП-ключів підключений до входу пристрою, який є входом/виходом співпроцесора для обчислення значень "прямих" та "обернених" функцій, який **відрізняється** тим, що додатково введено елемент АБО, перший вхід якого підключений до виходу першого блока керуючих елементів I, а другий вхід підключений до виходу другого блока керуючих елементів I, вихід елемента АБО підключено до другого керуючого входу зміщуючого регістра входу, також додатково введені перший та другий диференціюючі ланцюги, де вхід першого диференціюючого ланцюга підключений до керуючого входу "пряма функція", а вихід підключений до керуючого входу дешифратора x, вхід другого диференціюючого ланцюга підключений до керуючого входу "обернена функція", а вихід підключений до керуючого входу дешифратора y, крім того, вхід блока МДП-ключів підключено до виходу регістра.



Комп'ютерна верстка О. Гергіль

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601