



УКРАЇНА

(19) **UA** (11) **121939** (13) **C2**
(51) МПК (2020.01)

G06F 5/00

G06G 7/12 (2006.01)

G06J 3/00

H03M 1/66 (2006.01)

H03M 1/78 (2006.01)

H03M 5/00

H03M 7/00

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВІНАХІД

<p>(21) Номер заявки: а 2019 02341</p> <p>(22) Дата подання заявки: 11.03.2019</p> <p>(24) Дата, з якої є чинними права на винахід: 10.08.2020</p> <p>(41) Публікація відомостей про заявку: 10.07.2019, Бюл.№ 13</p> <p>(46) Публікація відомостей про видачу патенту: 10.08.2020, Бюл.№ 15</p> <p>(72) Винахідник(и): Лукашенко Андрій Германович (UA), Григор Олег Олександрович (UA), Гардер Дмитро Андрійович (UA), Рудаков Костянтин Сергійович (UA), Міценко Сергій Анатолійович (UA), Лукашенко Володимир Андрійович (UA), Федоров Євген Євгенович (UA), Лукашенко Валентина Максимівна (UA)</p>	<p>(73) Власник(и): Лукашенко Валентина Максимівна, вул. Гагаріна, 55, кв. 423, м. Черкаси, 18021 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: UA 33624 U, 10.07.2008 UA 115415 C2, 25.10.2017 UA 10485 U, 15.11.2005 Лега Ю.Г., Лукашенко В.М., Караван Н.А., Корпань Я.В., Лукашенко А.Г., Лукашенко М.Г. Модель гібридного багатофункціонального предпроцесора для проблемно-орієнтованих підсистем управління. Вісник НТУУ КПІ. – 2006., С. 286-290. Лукашенко В., Корпан Я., Лукашенко М., Караван М., Романовський С., Лукашенко А. Багатофункціональний гібридний обчислювальний пристрій. - 5-а НТК «Приладобудування: стан і перспективи». – січень 2006.</p>
--	--

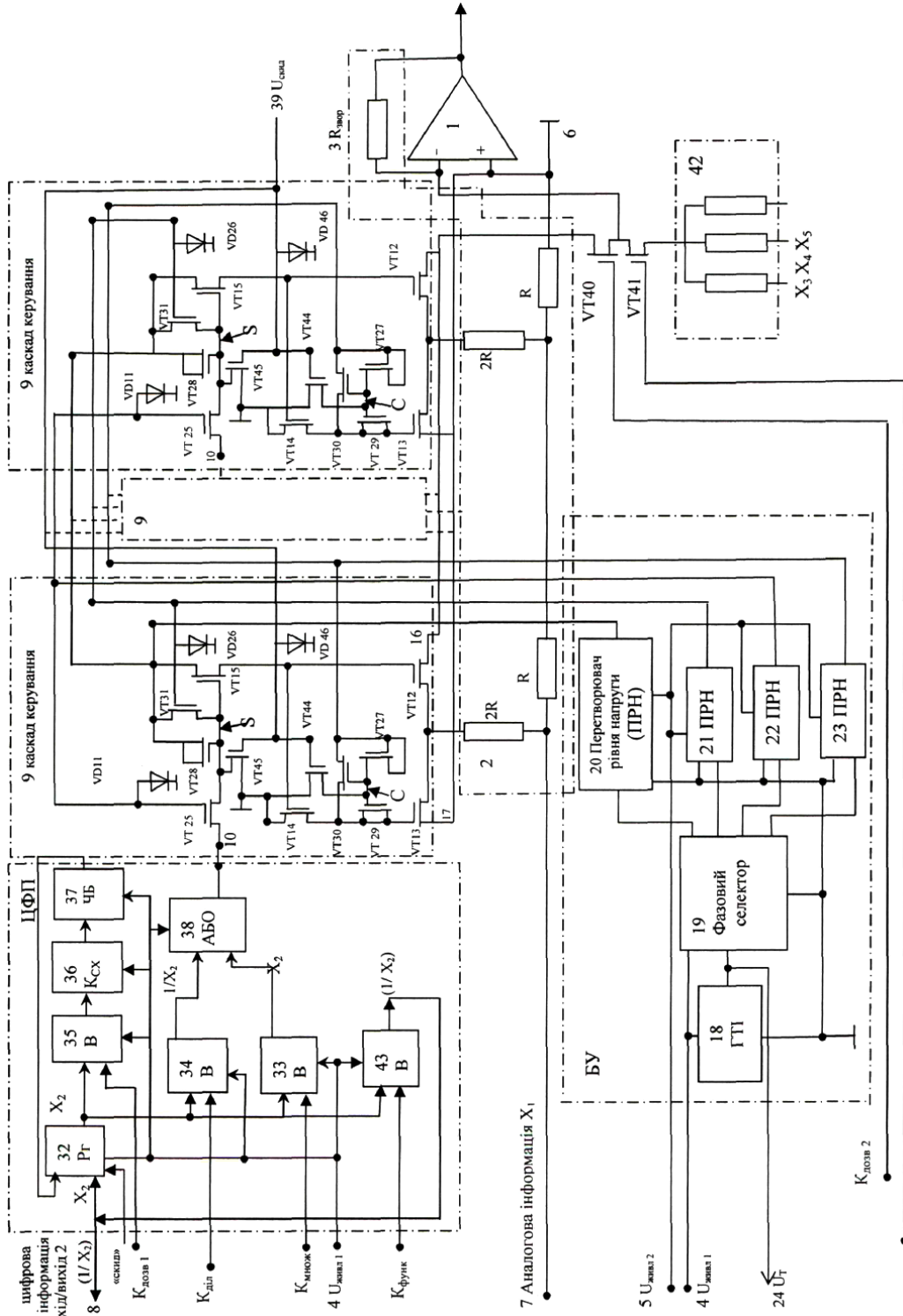
(54) ГІБРИДНИЙ БАГАТОФУНКЦІОНАЛЬНИЙ ОБЧИСЛЮВАЛЬНИЙ ПРИСТРІЙ

(57) Реферат:

Винахід належить до галузі обчислювальної техніки. Гібридний багатофункціональний обчислювальний пристрій додатково містить другий вихідний блок вентилів, перший вхід якого підключено до зовнішнього керуючого входу, а другі інформаційні входи другого вихідного блока вентилів з'єднані з відповідними виходами регістра та з додатково введеним з'єднанням других інформаційних входів вхідного блока вентилів, виходи другого вихідного блока вентилів підключені до кодових входів регістра, які з'єднані з другою вхідною шиною пристрою і є другим виходом цифрового перетворення функції пристрою, крім того, додатково введені третій і четвертий транзистори скидання та третій захисний діод, вихід якого та виходи третього і четвертого транзисторів скидання підключені до шини загального потенціалу, а їх затвори і вхід третього діода підключені до шини управління, при цьому вхід третього транзистора скидання підключений до затвора другого МДН-варактора, а вхід четвертого транзистора скидання підключений до затвора першого МДН-варактора, перша зовнішня шина живлення з напругою рівня логічних констант додатково з'єднана з відповідними шинами живлення регістра, вхідного, першого вихідного, адресного, другого вихідного блоків вентилів та комбінаційною схемою

UA 121939 C2

адреси, числовим блоком пам'яті, блоком елементів АБО, а друга зовнішня шина живлення з напругою високого рівня підключена до блока управління з відповідними шинами живлення першого, другого, третього, четвертого перетворювачів рівня напруги, крім того, додатково введено з'єднання стоку першого транзистора скидання з шиною загального потенціалу пристрою. Технічним результатом, що досягається даним винаходом, є підвищення експлуатаційної надійності.



Винахід належить до обчислювальної техніки і може бути використаний в системах керування при обробці інформації з функціонального перетворення цифрової кодової послідовності та виконанню арифметичних операцій над цифровими й аналоговими сигналами.

Відомий цифро-аналоговий перетворювач [1], що містить операційний підсилювач, резисторну матрицю типу R-2R, резистор оберненого зв'язку, дві шини живлення, шину загального потенціалу, шину опорної напруги, n-розрядні комірки, причому кожна n-розрядна комірка містить вхідну розрядну шину, перший захисний діод, перший та другий МДН-ключі, перший транзистор скидання, перший транзистор управління, другий захисний діод, другий транзистор скидання, n-розрядні входи пристрою, що є цифровими входами перетворювача, генератор тактових імпульсів, фазовий селектор, чотири перетворювачі рівнів напруги, шину синхронізації, транзистор дозволу, два МДН-варактори, другий транзистор управління, транзистор підзарядки, третій та четвертий транзистори скидання та шина зовнішнього управління, які з'єднані відповідними зв'язками.

У технічному рішенні [1] "в кожну n-розрядну комірку додатково введені третій і четвертий транзистори скидання, причому витік третього транзистора скидання підключений до вузла С₂, а витік четвертого транзистора скидання підключений до вузла С₁ стоки третього і четвертого транзисторів скидання підключені до шини загального потенціалу, а затвори третього і четвертого транзисторів скидання об'єднані та підключені до шини управління U_{упр.}". "Підвищення швидкодії ЦАП забезпечується шляхом зменшення часу розрядки ємностей С₁, С₂. Швидкий розряд забезпечується високим рівнем напруги на зовнішній шині U_{упр.} і за рахунок паралельного з'єднання опорів ланцюга розрядки. Тому, що при паралельному з'єднанні опорів загальний опір має величину менше меншого".

Підвищення швидкодії забезпечуються крутими фронтами переднього та заднього імпульсу, проте відсутня процедура ліквідування впливу напруги порога МДН-ключів для забезпечення інформаційної надійності.

Недоліком пристрою [1] є обмежені функціональні можливості та низька інформаційна надійність.

Найбільш близьким по технічній суті є пристрій [2], що містить операційний підсилювач, резисторну матрицю типу R-2R, резистор зворотного зв'язку, першу та другу шини живлення, шину загального потенціалу, керуючу шину, першу вхідну шину аналогової інформації Х₁, другу вхідну шину цифрової інформації Х₂, каскад керування, причому кожний каскад керування містить вхідну розрядну шину, перший захисний діод, перший і другий МДН-ключі, перший транзистор скидання, перший керуючий транзистор, при цьому вихід першого захисного діода підключений до шини загального потенціалу, кожний з виходів резисторної матриці через відповідний перший МДН-ключ підключені до об'єднаної шини відповідних виходів каскадів керування, інвертуючий вхід операційного підсилювача з'єднано з виходом резистора зворотного зв'язку, вхід якого підключений до виходу операційного підсилювача, вихід якого є першим виходом пристрою, затвор першого МДН-ключа з'єднаний зі стоком першого керуючого транзистора, а витік першого МДН-ключа з'єднаний з витоком другого МДН-ключа та з відповідним виходом резисторної матриці, стік другого МДН-ключа підключений до шини та до неінвертуючого входу операційного підсилювача і шини загального потенціалу, а затвор МДН-ключа з'єднаний зі стоком першого транзистора скидання, перша вхідна шина аналогової інформації Х₁ з'єднана з входом резисторної матриці, загальна шина резисторної матриці з'єднана з шиною загального потенціалу пристрою, крім того, є блок управління (БУ), який містить генератор тактових імпульсів (ГТІ), фазовий селектор, перший, другий, третій, четвертий перетворювачі рівнів напруги (ПРН), шину синхронізації, у кожному каскаді керування є перший транзистор попередньої установки, другий захисний діод, другий транзистор попередньої установки, перший МДН-варактор і другий МДН-варактор, другий транзистор керування, другий транзистор скидання, причому витік першого транзистора попередньої установки, підключений до відповідного розряду входу каскадів керування, а його затвор з'єднаний з входом першого захисного діода і підключений до виходу третього перетворювача рівня напруги, стік першого транзистора попередньої установки підключений до затворів першого МДН-варактора, першого керуючого транзистора і стоку другого транзистора скидання, витоки першого керуючого транзистора, другого транзистора скидання та стік і витік першого МДН-варактора підключені до виходу першого перетворювача рівня напруги, затвор другого транзистора скидання з'єднаний з входом другого захисного діода і підключені до виходу другого перетворювача рівня напруги, витік першого транзистора скидання, стік і витік другого МДН-варактора підключені до затвора другого МДН-ключа і стоку другого керуючого транзистора, а його витік з'єднаний з витоком і затвором другого транзистора попередньої установки і підключені до виходу четвертого перетворювача рівня напруги, затвори другого

МДН-варактора і другого керуючого транзистора підключені до стоку другого транзистора попередньої установки, вихід генератора тактових імпульсів підключений до шини синхронізації і до входу фазового селектора, виходи якого з'єднані з відповідними входами першого, другого, третього, четвертого перетворювачів рівня напруги, шина загального потенціалу пристрою з'єднана з виходами другого захисного діода і підключена до відповідних шин генератора тактових імпульсів, фазового селектора, першого, другого, третього, четвертого перетворювачів рівня напруги, перша шина живлення підключена до відповідних шин живлення генератора тактових імпульсів та фазового селектора, крім того, цифровий функціональний перетворювач (ЦФП), що містить регістр, виконаний на тригерах з кодовими і лічильними входами, вхідний блок вентилів, перший вихідний блок вентилів, адресний блок вентилів, комбінаційну схему адреси, числовий блок пам'яті, блок елементів АБО, причому кодові виходи регістра через адресний блок вентилів підключені до відповідних входів комбінаційної схеми адреси, виходи якої підключені до входів числового блока пам'яті, виходи якого підключені до відповідних лічильних входів регістра, а його кодові виходи є другими входами пристрою і входами цифрової інформації X_2 , виходи регістра підключені до інформаційних входів першого вихідного блока вентилів, виходи якого підключені до перших входів блока елементів АБО, а його другі входи підключені до виходів вхідного блоку вентилів, виходи блоку елементів АБО підключені до відповідних входів розрядної шини каскаду керування, керуючі входи вхідного блока вентилів, першого вихідного блока вентилів, адресного блока вентилів підключені до зовнішніх керуючих входів пристрою $K_{множ.}$, $K_{діл.}$, $K_{дозв.}$ і відповідно, а вхід управління $U_{скид.}$ підключено до керуючої шини регістра і пристрою, третій МДН-ключ входом підключено до об'єднаної шини, його затвор підключено до шини керування пристрою $K_{дозв.2}$, вихід третього МДН-ключа підключено до інвертуючого входу операційного підсилювача та виходу четвертого МДН-ключа, затвор якого підключено до шини керування пристрою $K_{сум.}$, а вхід з'єднано з виходами блока вхідних резисторів, а їх відповідні входи є входами суматора аналогових сигналів X_3 , X_4 , X_5 та є третіми входами пристрою.

Недоліком пристрою [2] є низька експлуатаційна (конструктивна та інформаційна) надійність пристрою.

Задача винаходу - підвищення експлуатаційної (конструктивної та інформаційної) надійності гібридного багатофункціонального обчислювального пристрою.

Відомо технічне рішення, що забезпечує підвищення швидкодії пристрою [1], в якому "в кожну n-розрядну комірку додатково введені третій і четвертий транзистори скидання, причому витік третього транзистора скидання підключений до вузла C_2 , а витік четвертого транзистора скидання підключений до вузла C_1 , стоки третього і четвертого транзисторів скидання підключені до шини загального потенціалу, а затвори третього і четвертого транзисторів скидання об'єднані та підключені до шини управління $U_{упр.}$ ". "Підвищення швидкодії ЦАП забезпечується шляхом зменшення часу розрядки ємностей C_1 , C_2 . Швидкий розряд забезпечується високим рівнем напруги на зовнішній шині $U_{упр.}$ і за рахунок паралельного з'єднання опорів ланцюга розрядки. Тому, що при паралельному з'єднанні опорів загальний опір має величину менше меншого".

В запропонованому пристрої виявляється нове технічна властивість підвищення експлуатаційної надійності. Зазначена задача вирішується тим, що в основу винаходу гібридного багатофункціонального обчислювального пристрою поставлено задачу підвищення конструктивної надійності за рахунок зменшення числа зовнішніх контактів цифрового функціонального пристрою та підвищення інформаційної надійності за рахунок усунення впливу дестабілізуючих факторів (впливу різного часу затримки вхідних інформаційних розрядів коду на входах вхідного блока вентилів та впливу напруги порога МДН-ключів при обробці інформації), шляхом схемотехнічного рішення.

Поставлена задача вирішується тим, що додатково введені другий вихідний блок вентилів, перший вхід якого підключено до зовнішнього керуючого входу $K_{функ.}$, а другі інформаційні входи другого вихідного блока вентилів з'єднані з відповідними виходами регістра і з додатково введеним з'єднанням других інформаційних входів вхідного блока вентилів, виходи другого вихідного блока вентилів підключені до кодових входів регістра, які з'єднані з другою вхідною шиною пристрою і є другим виходом цифрового перетворення функції $(1/X_2)$ пристрою, крім того, додатково введені третій VT44 і четвертий VT45 транзистори скиду та третій захисний діод VD46, вихід якого та виходи третього VT44 і четвертого VT45 транзисторів скиду підключені до шини загального потенціалу б, а їх затвори і вхід третього діода VD46 підключені до шини управління $U_{скид.}$ 39, при цьому вхід третього транзистора скиду VT44 підключений до затвора другого МДН-варактора VT29, а вхід четвертого транзистора скиду VT45 підключений до затвора першого МДН-варактора VT28, перша зовнішня шина живлення з напругою $U_{живл.1}$ 4

рівня логічних констант (0,1) додатково з'єднана з відповідними шинами живлення регістра 32, блоків вентилів: вхідного 33, першого вихідного 34, адресного 35, другого вихідного 43 та комбінаційною схемою адреси 36, числовим блоком пам'яті (ЧБ) 37, блоком елементів АБО 38, а друга зовнішня шина живлення з напругою $U_{\text{живл.2}}$ 5 високого рівня підключена до блока управління з відповідними шинами живлення першого 20, другого 21, третього 22, четвертого 23 перетворювачів рівня напруги, крім того, додатково введено з'єднання стоку першого транзистора скидання VT14 з шиною загального потенціалу 6 пристрою.

В основу винаходу поставлено задачу підвищення надійності шляхом використання запропонованого вирішення, ознаки якого вказані в частині формули, яка відрізняється від аналога і виявляє в процесі взаємодії характерні особливості, які дають кожна окремо відомий позитивний ефект.

Таким чином, запропоноване вирішення задовольняє критерію "суттєві відмінності".

На фігурі представлений гібридний багатофункціональний обчислювальний пристрій, що містить операційний підсилювач 1, резисторну матрицю 2 типу R-2R, резистор зворотного зв'язку 3, першу 4 та другу 5 шини живлення, шину загального потенціалу 6, керуючу шину "скид" пристрою, першу вхідну шину 7 аналогової інформації X_1 , другу вхідну шину 8 цифрової інформації X_2 , каскад керування 9, причому кожний каскад керування 9 містить вхідну розрядну шину 10, перший захисний діод VD11, перший VT12 і другий VT13 МДН-ключі, перший транзистор скидання VT14, перший керуючий транзистор VT15, при цьому вихід першого захисного діода VD11 підключений до шини загального потенціалу 6, кожний з виходів резисторної матриці 2 через відповідний перший МДН-ключ VT12 підключені до об'єднаної шини 16 відповідних виходів каскадів керування 9, інвертуючий вхід операційного підсилювача 1 з'єднано з виходом резистора зворотного зв'язку 3, вхід якого підключений до виходу операційного підсилювача 1, вихід якого є першим виходом пристрою, затвор першого МДН-ключа VT12 з'єднаний зі стоком першого керуючого транзистора VT15, а витік першого МДН-ключа VT12 з'єднаний з витіком другого МДН-ключа VT13 та з відповідним виходом резисторної матриці 2, стік другого МДН-ключа VT13 підключений до шини 17 та до неінвертуючого входу операційного підсилювача 1 і шини загального потенціалу 6, а затвор МДН-ключа VT13 з'єднаний зі стоком першого транзистора скидання VT14, перша вхідна шина 7 аналогової інформації X_1 з'єднана з входом резисторної матриці 2, загальна шина резисторної матриці 2 з'єднана із шиною загального потенціалу 6 гібридного обчислювального пристрою, крім того, є блок управління, який містить генератор тактових імпульсів 18, фазовий селектор 19, перший 20, другий 21, третій 22, четвертий 23 перетворювачі рівнів напруги, шину синхронізації 24, у кожному каскаді керування 9 є перший транзистор попередньої установки VT25, другий захисний діод VD26, другий транзистор попередньої установки VT27, перший МДН-варактор VT28 і другий МДН-варактор VT29, другий транзистор керування VT30, другий транзистор скидання VT31, причому витік першого транзистора попередньої установки VT25, підключений до відповідного розряду входу 10 каскадів керування 9, а його затвор з'єднаний із входом першого захисного діода VD11 і підключений до виходу третього перетворювача рівня напруги 22, стік першого транзистора попередньої установки VT25 підключений до затворів першого МДН-варактора VT28, першого керуючого транзистора VT15 і стоку другого транзистора скидання VT31, витік першого керуючого транзистора VT15, другого транзистора скидання VT31 та стік і витік першого МДН-варактора VT28 підключені до виходу першого перетворювача рівня напруги 20, затвор другого транзистора скидання VT31 з'єднаний з входом другого захисного діода VD26 і підключені до виходу другого перетворювача рівня напруги 21, витік першого транзистора скидання VT14, стік і витік другого МДН-варактора VT29 підключені до затвора другого МДН-ключа VT13 і стоку другого керуючого транзистора VT30, а його витік з'єднаний з витіком і затвором другого транзистора попередньої установки VT27 і підключені до виходу четвертого перетворювача рівня напруги 23, затвори другого МДН-варактора VT29 і другого керуючого транзистора VT30 підключені до стоку другого транзистора попередньої установки VT27, вихід генератора тактових імпульсів 18 підключений до шини синхронізації 24 і до входу фазового селектора 19, виходи якого з'єднані з відповідними входами першого 20, другого 21, третього 22, четвертого 23 перетворювачів рівня напруги, шина загального потенціалу 6 пристрою з'єднана з виходами другого захисного діода VD26 і підключена до відповідних шин генератора тактових імпульсів 18, фазового селектора 19, першого 20, другого 21, третього 22, четвертого 23 перетворювачів рівня напруги, перша шина живлення 4 $U_{\text{живл.1}}$ підключена до відповідних шин живлення генератора тактових імпульсів 18 та фазового селектора 19, крім того, цифровий функціональний перетворювач, що містить регістр 32, виконаний на тригерах з кодovими і лічильними входами, вхідний блок вентилів 33, перший вихідний блок вентилів 34, адресний блок вентилів 35, комбінаційну схему адреси 36, числовий

блок пам'яті 37, блок елементів АБО 38, причому кодові виходи регістра 32 через адресний блок вентилів 35 підключені до відповідних входів комбінаційної схеми адреси 36, виходи якої підключені до входів числового блока пам'яті 37, виходи якого підключені до відповідних лічильних входів регістра 32, а його кодові входи є другими входами 8 пристрою і входами цифрової інформації X_2 , виходи регістра 32 підключені до інформаційних входів першого вихідного блоку вентилів 34, виходи якого підключені до перших входів блока елементів АБО 38, а його другі входи підключені до виходів вхідного блока вентилів 33, виходи блока елементів АБО 38 підключені до відповідних входів розрядної шини 10 каскаду керування 9, керуючі входи вхідного блока вентилів 33, першого вихідного блока вентилів 34, адресного блока вентилів 35 підключені до зовнішніх керуючих входів пристрою $K_{множ.}$, $K_{діл.}$, $K_{дозв.}$ і відповідно, а вхід управління $U_{скид.}$ 39 підключено до керуючої шини "скид" регістра 32 і пристрою, третій МДН-ключ VT40 входом підключено до об'єднаної шини 16, його затвор підключено до шини керування пристрою $K_{дозв.2}$, вихід третього МДН-ключа VT40 підключено до інвертуючого входу операційного підсилювача 1 та виходу четвертого МДН-ключа VT41, затвор якого підключено до шини керування пристрою $K_{сум.}$, а вхід з'єднано з виходами блока вхідних резисторів 42, а їх відповідні входи є входами суматора аналогових сигналів X_3 , X_4 , X_5 та є третіми входами пристрою, додатково введені другий вихідний блок вентилів 43, перший вхід якого підключено до зовнішнього керуючого входу $K_{функ.}$, а другі інформаційні входи другого вихідного блока вентилів 43 з'єднані з відповідними виходами регістра 32 та з додатково введеним з'єднанням других інформаційних входів вхідного блока вентилів 33, виходи другого вихідного блока вентилів 43 підключені до кодових входів регістра 32, які з'єднані з другою вхідною шиною 8 пристрою і є другим виходом цифрового перетворення функції $(1/X_2)$ пристрою, крім того, додатково введені третій VT44 і четвертий VT45 транзистори скидання та третій захисний діод VD46, вихід якого та виходи третього VT44 і четвертого VT45 транзисторів скидання підключені до шини загального потенціалу 6, а їх затвори і вхід третього діода VD46 підключені до шини управління $U_{скид.}$ 39, при цьому вхід третього транзистора скидання VT44 підключений до затвора другого МДН - варактора VT29, а вхід четвертого транзистору скидання VT45 підключений до затвору першого МДН-варактора VT28, перша зовнішня шина живлення 4 з напругою $U_{живл.1}$ рівня логічних констант (0,1) додатково з'єднана з відповідними шинами живлення регістра 32, блоків вентилів: вхідного 33, першого вихідного 34, адресного 35, другого вихідного 43; та комбінаційною схемою адреси 36, числовим блоком пам'яті 37, блоком елементів АБО 38, а друга зовнішня шина живлення 5 з напругою $U_{живл.2}$ високого рівня підключена до блока управління з відповідними шинами живлення першого 20, другого 21, третього 22, четвертого 23 перетворювачів рівня напруги, крім того, додатково введено з'єднання стоку першого транзистора скидання VT14 з шиною загального потенціалу 6 пристрою.

Відомо, що експлуатаційна {конструктивна та інформаційна} надійність характеризує спроможність гібридного багатофункціонального обчислювального пристрою зберігати розрахункові значення точності та швидкодії в визначених умовах та на заданому часовому інтервалі експлуатації.

Мірою конструктивної надійності є середній час безвідмовної роботи T_p пристрою і дорівнює:

$$T_p = (1/\sum \lambda_i),$$

де λ_i - інтенсивність відмови контактного вузла.

Відомо [3], що основними причинами відмови пристрою при збірці кристалів в корпус та установці на друковану плату є недостатня механічна міцність контактів, мала адгезія виводів до контактної площадки і останньої до підкладки, деградації контактної опору через взаємну дифузю металів з утворенням інтерметалевих фаз і пустот, або прихованого технологічного дефекту.

Під контактним вузлом приймається система: струмоведуча площина металізації-термокомпресія-провідник контактний вивід корпусу - міжз'єднання до струмоведучої площадки друкованої плати.

Припустимо, інтенсивність відмов кожного контактної вузла при операціях:

термокомпресія провідника до металізованої площадки дорівнює, $\lambda_1 = 10^{-6}$,

термокомпресія провідника до контакту площини корпусу дорівнює $\lambda_2 = 10^{-6}$,

контакт виводів корпусу ІС до друкованої плати дорівнює $\lambda_3 = 10^{-6}$.

Загальна інтенсивність відмови одного контактної вузла дорівнює:

$$\lambda_3 = \lambda_1 + \lambda_2 + \lambda_3 = 10^{-6} + 10^{-6} + 10^{-6} = 3 \cdot 10^{-6}$$

Наприклад, у ЦФП прототипу [2] при паралельній обробці інформаційних операндів з розрядністю $n=32$ сумарна інтенсивність відмов вхідних і вихідних контактних вузлів дорівнює:

$$\lambda_{\Sigma} = 2 \cdot n \cdot \lambda_3 = 2 \cdot 32 \cdot 3 \cdot 10^{-6} = 192 \cdot 10^{-6}$$

5 Запропоновано нове схемотехнічне рішення зменшує число контактних вузлів в 2 рази, тоді $\lambda_{\Sigma \text{ вин}} = (192/2) \cdot 10^{-6}$, тобто за рахунок зменшення кількості контактних вузлів інтенсивність відмови пристрою-винаходу зменшується в 2 рази.

При цьому порівняння проводиться при ідентичних умовах формування елементів конструкції, технології виготовлення ЦФП і мають однакову інтенсивність відмови.

10 Це забезпечує збільшення середнього часу безвідмовної роботи ЦФП відповідно [3] в:

$$\begin{aligned} T_{\text{рвин}}/T_{\text{рпр}} &= (1/\sum \lambda_i)_{\text{вин}} / (1/\sum \lambda_i)_{\text{пр}} = \\ &= (1/96)_{\text{вин}} / (1/192)_{\text{пр}} = 2 \text{ рази,} \end{aligned} \quad (2)$$

де $T_{\text{рпр}}$ - середній час безвідмовної роботи ЦФП- прототипу; $T_{\text{рвин}}$ - середній час безвідмовної роботи запропонованого пристрою з розробленою новою схемотехнічною реалізацією.

15 Отже, зменшення кількості контактних вузлів у ЦФП в 2 рази при збереженні паралельної обробки операндів високої точності збільшується середній час безвідмовної роботи в 2 рази.

Розрахунки за формулою (2) підтверджують, що запропоноване схемотехнічне рішення підвищує конструктивну надійність ЦФП в 2 рази.

20 Крім того, послідовно з'єднаний з опором матриці R-2R МДН-ключ має вагомий вплив на інформаційну точність із-за того, що при технологічному виконанні значення напруги порогу $U_{\text{пор}}$ МДН-ключів неоднакове.

Усунення впливу $U_{\text{пор}}$ пропонується зробити за рахунок створення наступних умов [4]:

$$|U_{\text{затв}} - U_{\text{живл}}| > U_{\text{пор}} \quad (3)$$

25 де $U_{\text{затв}}$ напруга на затворі МДН-ключа; $U_{\text{живл}}$ - напруга живлення; $U_{\text{пор}}$ - напруга порогу МДН-ключа.

У запропонованому схемотехнічному рішенні створені умови нерівності (3), які виконуються за рахунок синтезу попередньої підзарядки через VT25 і VT27 бутстрепних ємностей варакторів VT28 і VT29 та введенню зовнішнього живлення з високим рівнем напруги завдяки чому формуються імпульси управління з амплітудою високого значення перетворювачами рівня напругі 20, 21, 22, 23.

30 Проведене комп'ютерне моделювання при $U_{\text{жидл.2}}=24\text{В}$ та $U_{\text{живл.1}}=15\text{В}$ показало, що у вузлах "S" і "C" значення напруги на затворах VT28, VT29 дорівнювало $\approx 40\text{В}$. Це підтвердило вірність схемотехнічного рішення для створення умови (3).

35 Отже, задачу підвищення експлуатаційної надійності через конструктивну та інформаційну складову виконано.

Працює гібридний багатофункціональний обчислювальний пристрій в режимах:

- цифро-аналогового помножувача;
- цифро аналогового перетворювача;
- цифрового функціонального перетворювача;
- 40 аналого-цифрового дільника;
- аналогового інвертованого суматора.

при рівності значень аналогової і цифрової інформації $X_1=X_2=X_3$ на виході обчислювального пристрою з'являється аналогова величина, що відповідає квадрату значень відповідних вхідних X^2 інформаційних сигналів.

45 Робота гібридного багатофункціонального обчислювального пристрою в режимі цифро-аналогового помножувача.

У запропонованого цифро-аналогового помножувача застосовуються струмові ключі на основі МДН-транзисторів у режимі малих напруг стоку, що дає можливість працювати з опорною напругою довільного знака та форми [1].

50 Зв'язок напруги на виході пристрою $U_{\text{вих}}(t)$ з двійково-позиційним кодом на вході та змінною опорною напругою має вигляд:

$$U_{\text{вих}}(t) = U_{\text{он}} \cdot F(t) \cdot R_{\text{звор}} \cdot (a_1^{n-1} + a_2^{n-2} + \dots + a_i^{n-i} + \dots + a_n^0) / R \cdot 2^n, \quad (4)$$

де $U_{\text{вих}}(t)$ - напруга на виході пристрою; $U_{\text{оп}}$ - амплітуда опорної напруги; $F(t)$ - функція зміни опорної напруги; a_i -, - значення цифрового сигналу на i -му цифровому вході (1, 0); n - число розрядів; $R_{\text{звор.}}$ - опір зворотного зв'язку; R - опір прецизійної резисторної матриці типу $R-2R$.

5 Працює пристрій наступним чином.

3 метою підвищення інформаційної надійності перед початком обчислення виконують обнуління на загальну шину 6 регістра 32, та ємнісних вузлів "S" та "C" у каскадах керування 9 через третій VT44 та четвертий VT45 транзистори скиду, які відкриті завдяки імпульсу, що надходить з шини зовнішнього управління $U_{\text{скид}}$. 39 з амплітудою напруги високого рівня, величина якої значно перевищує значення напруги порогів МДН-транзисторів.

10 При цьому другий транзистор скидання VT31 також сприяє розряду вузла "S", при надходженні імпульсу амплітуди високого рівня з виходу перетворювача рівня напруги 21.

15 Синхронізація роботи в часі здійснюється аналогічно прототипу за допомогою імпульсів, які формуються генератором тактових імпульсів (ГТІ) 18 та фазовим селектором 19, а високий рівень амплітуди забезпечується ПРН 20, 21, 22, 23.

Розряд ємності вузлів витоків першого і другого МДН-ключів VT12, VT13 забезпечується наступним чином. Високий рівень амплітуди імпульсу з виходу ПРН 23 через другий транзистор попередньої установки VT27, підзаряджає ємність вузла "C", яка сформована затворами ємності другого МДН-варактора VT29 та другим транзистором керування VT30. При надходженні імпульсу амплітуди високого рівня через транзистор VT30 відбувається стрибок напруги на затворі МДН-ключа VT13, відкриває його і через відкритий МДН-ключ VT13 ємність витоків МДН-ключів VT13 і VT12 розряджається до потенціалу загальної шини 6.

Діоди VD11, VD26 і введений VD46 захищають від пробоя затвори транзисторів VT25, VT31, VT44 і VT45, що підвищує конструктивну надійність пристрою.

25 Перетворення цифрової інформації X_2 , що записується в регістр 32 після виконання команди "скид" здійснюється наступним чином.

3 надходженням команди множення $K_{\text{множ}}$ на керуючий вхід пристрою, під дією якої одиниці цифрової інформації X_2 з виходу регістра 32 через вхідний блок вентилів 33 і блок елементів АБО 38 з'являються на відповідних входах 10 каскаду керування 9.

30 При надходженні імпульсу амплітуди високого рівня з виходу ГТРН 22 на затвор першого транзистора попередньої установки VT25, відкриває його і цифрова інформація з входів 10 проходить через VT25 і підзаряджає ємність "S". З надходженням імпульсу високої напруги з виходу ПРН 20 на відповідні входи першого МД- варактора VT28 у вузлі "S" відбувається стрибок напруги, що відкриває перший керуючий транзистор VT15, на виході якого з'являється імпульс, завдяки якому відкривається перший транзистор скидання VT14, що підключає затвор другого МДН-ключа VT13 до шини загального потенціалу 6, тому МДН-ключ VT13 закритий, одночасно цей імпульс з амплітудою високого рівня з'являється на затворі першого МДН-ключа VT12, відкриває його і без впливу порога напруги МДН-ключа VT12 підключає відповідний опір $2R$, на виході якого з'являється відповідне значення аналогової інформації X_1 з шини 7, яке проходить через відкритий МДН-ключ VT12 і по шині 16 надходить на вхід транзистора VT40. Під дією амплітуди імпульсу високого рівня $K_{\text{лत्व.2}}$, який відкриває транзистор VT40, відповідні інформаційні значення надходять на інвертований вхід операційного підсилювача 1, на виході якого з'являється результат операції множення цифрового коду X_2 та відповідного значення X_1 аналогової величини.

45 Робота гібридного багатофункціонального обчислювального пристрою в режимі цифро-аналогового перетворювача.

Опис роботи гібридного багатофункціонального обчислювального пристрою в режимі цифро-аналогового перетворювача відрізняється від описаної вище роботи цифро-аналогового помножувача тільки тим, що опорна напруга на вході 7 є незмінною величиною в часі. Результат перетворення цифрової інформації в аналогову з'являється на першому виході пристрою.

50 Робота гібридного багатофункціонального обчислювального пристрою в режимі цифрового функціонального перетворювача.

По команді "скид" роблять обнуління регістра 32 і потім цифрова інформація записується в регістр 32, а на вхід $K_{\text{дозв.1}}$ подається керуюча команда, в результаті дії якої цифрова інформація проходить через адресний блок вентилів 35 і розпізнається комбінаційною схемою адреси $K_{\text{сх}}$ 36, вихідний імпульс якої збуджує шину ЧБ пам'яті 37 відповідної корегуючої константи. Одиниці корегуючої константи по ланцюгу корегуючого зворотного зв'язку з'являються на лічильних входах регістра 32, під дією яких в регістрі 32 перетворюється вхідна цифрова інформація X_2 в код функції $(1/X_2)$, якій з виходів регістра 32 надходить на інформаційні входи другого вихідного блока вентилів 43.

Під дією керуючого імпульсу $K_{\text{функ.}}$, що надходить з зовнішніх входів пристрою на керуючий вхід другого вихідного блока вентилів 43, код функції ($1/X_2$) завдяки інформаційному зворотному зв'язку надходить на кодові входи регістра 32, які з'єднані з зовнішнім цифровим входом 8 і є другим цифровим виходом пристрою, на якому з'являється код функції ($1/X_2$), тобто з'явився

5

другий "вхід/вихід", який використовує контакти однієї зовнішньої шини і для вхідної, і для вихідної цифрової інформації, що зменшило кількість контактів при паралельній обробці на число розрядів в коді функції. Розподіл вхідної та вихідної інформації здійснюється з використанням синхронізації БУ. Отже результат перетворення з'явився на другому "вході/виході".

10

Робота гібридного багатофункціонального обчислювального пристрою в режимі аналого-цифрового дільника.

По команді "скид" роблять обнуління регістра 32 і потім цифрова інформація записується в регістр 32, а на вхід $K_{\text{дозв.1}}$ подається керуюча команда, в результаті дії якої цифрова інформація проходить через адресний блок вентилів 35 і розпізнається комбінаційною схемою адреси $K_{\text{сх.}}$ 36, вихідний імпульс якої збуджує шину ЧБ пам'яті 37 відповідної корегуючої константи. Одиниці корегуючої константи по ланцюгу корегуючого зворотного зв'язку з'являються на лічильних входах регістра 32, під дією яких в регістрі 32 перетворюється вхідна цифрова інформація X_2 в код функції ($1/X_2$), якій з виходів регістра 32 надходить на інформаційні входи першого вихідного блока вентилів 34.

15

20

Під дією керуючого імпульсу $K_{\text{діль.}}$, що надходить з зовнішніх входів пристрою на керуючий вхід першого вихідного блока вентилів 34, код функції ($1/X_2$), який знаходиться на його інформаційних входах через блок елементів АБО 38 надходить на відповідні входи 10 каскадів керування 9.

25

Далі процедура помноження значень цифрової інформації ($1/X_2$) на значення аналогової інформації X_1 здійснюється аналогічно описаній процедурі вище. Результатом є ділення значення аналогової інформації X_1 на відповідне значення цифрової інформації ($1/X_2$), що з'являється на першому виході пристрою і відповідає (X_1/X_2) .

Робота гібридного багатофункціонального обчислювального пристрою в режимі аналогового інвертованого суматора полягає в наступному.

30

Обнуляється команда дозволу на керуючому вході $K_{\text{дозв.2}}$ на затворі третього МДН-ключа VT40 завдяки чому здійснюється заборона передачі інформації з об'єднаної шини 16 через третій МДН-ключ VT40 на інвертований вхід операційного підсилювача 1, що забезпечує інформаційну надійність.

35

З приходом команди $K_{\text{сум.}}$ на затвор МДН-ключа VT41 вхідна аналогова інформація X_3 , X_4 , X_5 , яка пройшла через блок 42 та МДН-ключ VT41, надходить на інвертований вхід операційного підсилювача 1, і відповідно опису в роботі [2] на виході пристрою з'явиться результат підсумування вхідної аналогової інформації: $[-X_{\text{вихід}} = -(X_3 + X_4 + X_5)]$.

Отже, пропонується гібридний багатофункціональний обчислювальний пристрій забезпечує високу надійність (конструктивну та інформаційну) при виконанні наступних операцій:

40

перемножування цифрової й аналогової інформації $(X_2 \cdot X_1)$;

цифроаналогового перетворення;

ділення аналогової інформації на цифрову $X_1 \cdot (1/X_2) = X_1/X_2$;

відтворення значення цифрової функції виду: $1/X_2$;

підсумування аналогової інформації $[-X_{\text{вихід}} = -(X_3 + X_4 + X_5)]$.

45

Крім того, при рівності значень аналогової і цифрової інформації на виході обчислювального пристрою з'являється аналогова величина, що відповідає квадрату значень відповідних вхідних інформаційних сигналів.

Синхронізація у часі гібридного багатофункціонального обчислювального пристрою забезпечується відповідним синхронізуючим імпульсом 24 U_T .

50

Отже, у запропонованому пристрої новою технічною властивістю є підвищення експлуатаційної (конструктивної та інформаційної) надійності завдяки схмотехнічному рішенням:

підвищення конструктивної надійності забезпечується зменшенням числа зовнішніх контактів цифрового функціонального пристрою в 2 рази, що збільшує середній час його напрацювання на відмову в 2 рази за рахунок додаткового введення у кристал зворотного зв'язку через введення додаткового другого вихідного блока вентиля VT43 з відповідними зв'язками;

55

підвищення конструктивної надійності забезпечується також введенням додатково третього захисного діода VD 46, що захищає затвори третього VT44 та четвертого VT45 транзисторів скидання від пробую;

60

підвищення інформаційної надійності забезпечується усуненням впливу появи деяких інформаційних розрядів коду з різним часом затримки на входах вхідного блока вентилів 33 за рахунок підключення інформаційних входів вхідного блока вентилів 33 до виходу регістра 32, що синхронізує появу розрядів коду на інформаційних входах вхідного блока вентилів 33

5

одночасно, що забезпечує збереження достовірності вхідної кодової інформації для її подальшої паралельної обробки;

підвищення інформаційної надійності забезпечується усуненням впливу напруги порога МДН-ключів за рахунок збільшення напруги на затворах МДН-ключів в декілька разів більше значень напруги порогу. Для цього затвори VT12 та VT13 підключені через перший та другий керуючі транзистори VT15 та VT30 до перетворювачів високого рівня напруги 20 та 23 відповідно.

10

Проведено комп'ютерне моделювання при $U_{\text{живл.2}}=24$ В та $U_{\text{живл.1}}=15$ В показало, що у вузлах "S" і "C" значення напруги на затворах VT28, VT29 дорівнювало ≈ 40 В. Це підтвердило вірність схемотехнічного рішення.

15

Завдяки сукупності зазначених ознак підвищена експлуатаційна надійність пристрою, що дозволяє досягти позитивного ефекту при його експлуатації.

Таким чином, задача винаходу підвищення експлуатаційної надійності гібридного багатофункціонального обчислювального пристрою вирішена за рахунок схемотехнічного рішення.

20

Джерела інформації:

1. Пат. на винахід UA 115415 C2 Україна, МПК (2017.01) Н 03М 1/66 (2006.1), Н 03М 1/00. Цифроаналоговий перетворювач / А. Г. Лукашенко, Д. А. Лукашенко, Т. Ю. Уткіна, В. А. Лукашенко, В. М. Лукашенко; заявник та власник В. М. Лукашенко. - № а 2016 12043; заявл. 28.11.2016; опубл. 25.10.2017, Бюл. № 20.

25

2. України 33624, Україна, МПК G06G07/00; G06J3/00. Гібридний обчислювальний пристрій / В.М. Лукашенко (UA), А.Г. Лукашенко (UA), Я.В. Корпань (UA), М.А. Караван (UA), Д.А. Лукашенко (UA), К.С. Рудаков (UA), В.А. Лукашенко (UA); ЧДТУ - № а200711691; Заявл. 22.10.2007; Опубл. 10.07.2008; Бюл. № 13 (прототип).

30

3. Нечипоренко О. М., Основи надійності літальних апаратів: навч. посіб -К.: НТУУ "КПІ", 2010. – 240 с.

4. Йесперса В., Ван де Виле Ф., Уайт М. Полупроводниковые формирователи сигналов изображения: пер. с англ. - М: Мир, 1979.- 576 с.

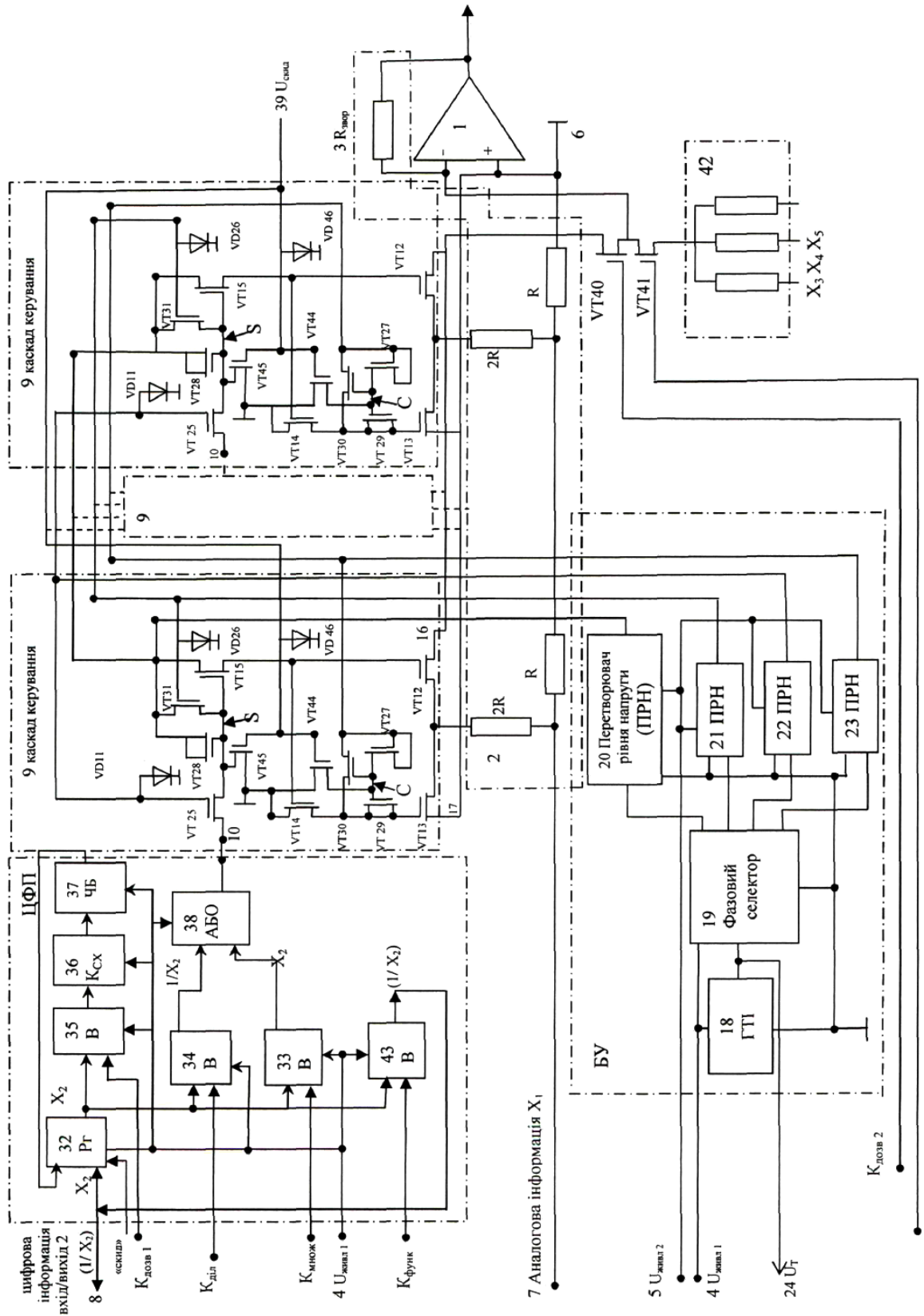
ФОРМУЛА ВИНАХОДУ

35

Гібридний багатофункціональний обчислювальний пристрій, що містить операційний підсилювач, резисторну матрицю типу R-2R, резистор зворотного зв'язку, першу та другу шини живлення, шину загального потенціалу, керуючу шину пристрою, першу вхідну шину аналогової інформації X_1 , другу вхідну шину цифрової інформації X_2 , каскад керування, причому кожний каскад керування містить вхідну розрядну шину, перший захисний діод, перший і другий МДН-ключі, перший транзистор скидання, перший керуючий транзистор, при цьому вихід першого захисного діода підключений до шини загального потенціалу, кожний з виходів резисторної матриці через відповідний перший МДН-ключ підключені до об'єднаної шини відповідних виходів каскадів керування, інвертуючий вхід операційного підсилювача з'єднано з виходом резистора зворотного зв'язку, вхід якого підключений до виходу операційного підсилювача, вихід якого є першим виходом пристрою, затвор першого МДН-ключа з'єднаний зі стоком першого керуючого транзистора, а витік першого МДН-ключа з'єднаний з витіком другого МДН-ключа та з відповідним виходом резисторної матриці, стік другого МДН-ключа підключений до шини та до неінвертуючого входу операційного підсилювача і шини загального потенціалу, а затвор МДН-ключа з'єднаний зі стоком першого транзистора скидання, перша вхідна шина аналогової інформації X_1 з'єднана з входом резисторної матриці, загальна шина резисторної матриці з'єднана з шиною загального потенціалу пристрою, крім того, є блок управління, який містить генератор тактових імпульсів, фазовий селектор, перший, другий, третій, четвертий перетворювачі рівнів напруги, шину синхронізації, у кожному каскаді керування є перший транзистор попередньої установки, другий захисний діод, другий транзистор попередньої установки, перший МДН-варактор і другий МДН-варактор, другий транзистор керування, другий транзистор скидання, причому витік першого транзистора попередньої установки, підключений до відповідного розряду входу каскадів керування, а його затвор з'єднаний з входом першого захисного діода і підключений до виходу третього перетворювача рівня напруги, стік першого транзистора попередньої установки підключений до затворів першого МДН-варактора, першого

60

керуючого транзистора і стоку другого транзистора скидання, витоки першого керуючого транзистора, другого транзистора скидання та стік і витік першого МДН-варактора підключені до виходу першого перетворювача рівня напруги, затвор другого транзистора скидання з'єднаний з входом другого захисного діода і підключені до виходу другого перетворювача рівня напруги, витік першого транзистора скидання, стік і витік другого МДН-варактора підключені до затвора другого МДН-ключа і стоку другого керуючого транзистора, а його витік з'єднаний з витоком і затвором другого транзистора попередньої установки і підключені до виходу четвертого перетворювача рівня напруги, затвори другого МДН-варактора і другого керуючого транзистора підключені до стоку другого транзистора попередньої установки, вихід генератора тактових імпульсів підключений до шини синхронізації і до входу фазового селектора, виходи якого з'єднані з відповідними входами першого, другого, третього, четвертого перетворювачів рівня напруги, шина загального потенціалу пристрою з'єднана з виходами другого захисного діода і підключена до відповідних шин генератора тактових імпульсів, фазового селектора, першого, другого, третього, четвертого перетворювачів рівня напруги, перша шина живлення $U_{живл.1}$ підключена до відповідних шин живлення генератора тактових імпульсів та фазового селектора, крім того, цифровий функціональний перетворювач, що містить регістр, виконаний на тригерах з кодовими і лічильними входами, вхідний блок вентилів, перший вихідний блок вентилів, адресний блок вентилів, комбінаційну схему адреси, числовий блок пам'яті, блок елементів АБО, причому кодові виходи регістра через адресний блок вентилів підключені до відповідних входів комбінаційної схеми адреси, виходи якої підключені до входів числового блока пам'яті, виходи якого підключені до відповідних лічильних входів регістра, а його кодові входи є другими входами пристрою і входами цифрової інформації X_2 , виходи регістра підключені до інформаційних входів першого вихідного блока вентилів, виходи якого підключені до перших входів блока елементів АБО, а його другі входи підключені до виходів вхідного блока вентилів, виходи блока елементів АБО підключені до відповідних входів розрядної шини каскаду керування, керуючі входи вхідного блока вентилів, першого вихідного блока вентилів, адресного блока вентилів підключені до зовнішніх керуючих входів пристрою $K_{множ.}$, $K_{діл.}$, $K_{дозв.1}$ відповідно, а вхід управління $U_{скид.}$ підключено до керуючої шини "скид" регістра і пристрою, третій МДН-ключ входом підключено до об'єднаної шини, його затвор підключено до шини керування пристрою $K_{дозв.2}$, вихід третього МДН-ключа підключено до інвертуючого входу операційного підсилювача та виходу четвертого МДН-ключа, затвор якого підключено до шини керування пристрою $K_{сум.}$, а вхід з'єднано з виходами блока вхідних резисторів, а їх відповідні входи є входами суматора аналогових сигналів X_3 , X_4 , X_5 та є третіми входами пристрою, який **відрізняється** тим, що додатково введені другий вихідний блок вентилів, перший вхід якого підключено до зовнішнього керуючого входу $K_{функ.}$, а другі інформаційні входи другого вихідного блока вентилів з'єднані з відповідними виходами регістра та з додатково введеним з'єднанням других інформаційних входів вхідного блока вентилів, виходи другого вихідного блока вентилів підключені до кодових входів регістра, які з'єднані з другою вхідною шиною пристрою і є другим виходом цифрового перетворення функції $(1/X_2)$ пристрою, крім того, додатково введені третій і четвертий транзистори скидання та третій захисний діод, вихід якого та виходи третього і четвертого транзисторів скидання підключені до шини загального потенціалу, а їх затвори і вхід третього діода підключені до шини управління $U_{скид.}$, при цьому вхід третього транзистора скидання підключений до затвора другого МДН-варактора, а вхід четвертого транзистора скидання підключений до затвора першого МДН-варактора, перша зовнішня шина живлення з напругою $U_{живл.1}$ рівня логічних констант (0, 1) додатково з'єднана з відповідними шинами живлення регістра, вхідного, першого вихідного, адресного, другого вихідного блоків вентилів та комбінаційною схемою адреси, числовим блоком пам'яті, блоком елементів АБО, а друга зовнішня шина живлення з напругою $U_{живл.2}$ високого рівня підключена до блока управління з відповідними шинами живлення першого, другого, третього, четвертого перетворювачів рівня напруги, крім того, додатково введено з'єднання стоку першого транзистора скидання з шиною загального потенціалу пристрою.



Комп'ютерна верстка В. Юкін

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601