

УКРАЇНА



ПАТЕНТ

НА КОРИСНУ МОДЕЛЬ

№ 72952

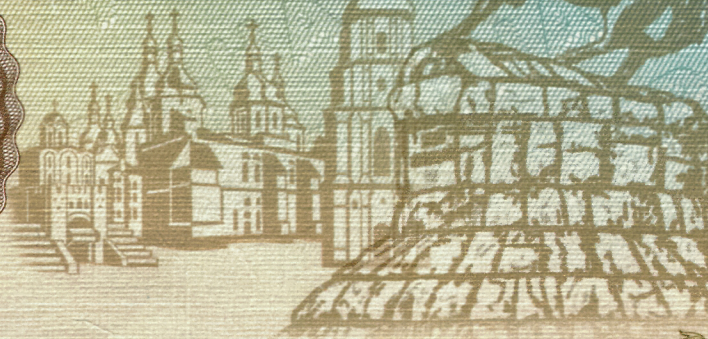
ПЕРЕТВОРЮВАЧ ДВІЙКОВОГО КОДУ В ОДНОПОЛЯРНІ
ОБОРОТНІ КОДИ

Видано відповідно до Закону України "Про охорону прав на винаходи
і корисні моделі".

Зареєстровано в Державному реєстрі патентів України на корисні
моделі 10.09.2012.

Перший заступник Голови
Державної служби
інтелектуальної власності України

О.В. Янов



- (21) Номер заявки: **u 2011 13847**
- (22) Дата подання заявки: **24.11.2011**
- (24) Дата, з якої є чинними права на корисну модель: **10.09.2012**
- (46) Дата публікації відомостей про видачу патенту та номер бюлетеня: **10.09.2012, Бюл. № 17**

- (72) Винахідники:
**Лукашенко Андрій
Германович, UA,
Лукашенко Валентина
Максимівна, UA,
Рудаков Костянтин
Сергійович, UA,
Лукашенко Дмитро
Андрійович, UA,
Вербицький Олександр
Сергійович, UA,
Міценко Сергій
Анатолійович, UA,
Лукашенко Володимир
Андрійович, UA**

- (73) Власник:
**ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ
ТЕХНОЛОГІЧНИЙ
УНІВЕРСИТЕТ,
бул. Шевченка, 460, м.
Черкаси, 18006, UA**

- (54) Назва корисної моделі:

ПЕРЕТВОРЮВАЧ ДВІЙКОВОГО КОДУ В ОДНОПОЛЯРНІ ОБОРОТНІ КОДИ

- (57) Формула корисної моделі:

Перетворювач двійкового коду в однополярні оборотні коди, що містить регістр входу, який виконаний на тригерах з інформаційними та лічильними входами, інформаційні входи регістра з'єднані з входами пристрою, постійного запам'ятовуючого пристрою (ПЗП), виходи якого з'єднані через блок елементів АБО з відповідними лічильними входами регістра входу, керуючий вхід регістра входу з'єднаний з прямим виходом керуючого тригера, а інверсний вихід керуючого тригера з'єднаний з керуючим входом ПЗП, вхід керуючого тригера з'єднаний з першим керуючим входом пристрою, вхід "скид" регістра входу з'єднаний з входом пристрою "скид", входи комбінаційної схеми адреси з'єднані з відповідними виходами регістра входу, а керуючий вхід комбінаційної схеми адреси з'єднаний з інверсним виходом керуючого тригера, вихід комбінаційної схеми адреси з'єднаний з інформаційними входами блока вентилів, виходи якого з'єднані з відповідними входами постійно запам'ятовуючого пристрою, а керуючі входи блока вентилів з'єднані з відповідними виходами керуючого пристрою, вхід якого з'єднаний з другим керуючим входом пристрою, входи "скид" керуючого пристрою та керуючого тригера з'єднані з входами "скид" пристрою, який відрізняється тим, що прямий вихід тригера з'єднаний з входом додатково введеного інвертора, вихід якого підключений до входу введеного диференціюючого ланцюга, вихід якого підключений до керуючого входу введеного блока МДП-ключів, інформаційні входи якого з'єднані з відповідними виходами вхідного регістра, а інформаційні входи блока МДП-ключів з'єднані з інформаційними входами вхідного регістра і є "входом/виходом" перетворювача.

Пронумеровано, прошито металевими
люверсами та скріплено печаткою
2 арк.
10.09.2012



Уповноважена особа

(підпис)



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **72952** (13) **U**
(51) МПК (2012.01)
G06F 5/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2011 13847**

(22) Дата подання заявки: **24.11.2011**

(24) Дата, з якої є чинними
права на корисну
модель: **10.09.2012**

(46) Публікація відомостей
про видачу патенту: **10.09.2012, Бюл.№ 17**

(72) Винахідник(и):

**Лукашенко Андрій Германович (UA),
Лукашенко Валентина Максимівна (UA),
Рудаков Костянтин Сергійович (UA),
Лукашенко Дмитро Андрійович (UA),
Вербицький Олександр Сергійович (UA),
Миценко Сергій Анатолійович (UA),
Лукашенко Володимир Андрійович (UA)**

(73) Власник(и):

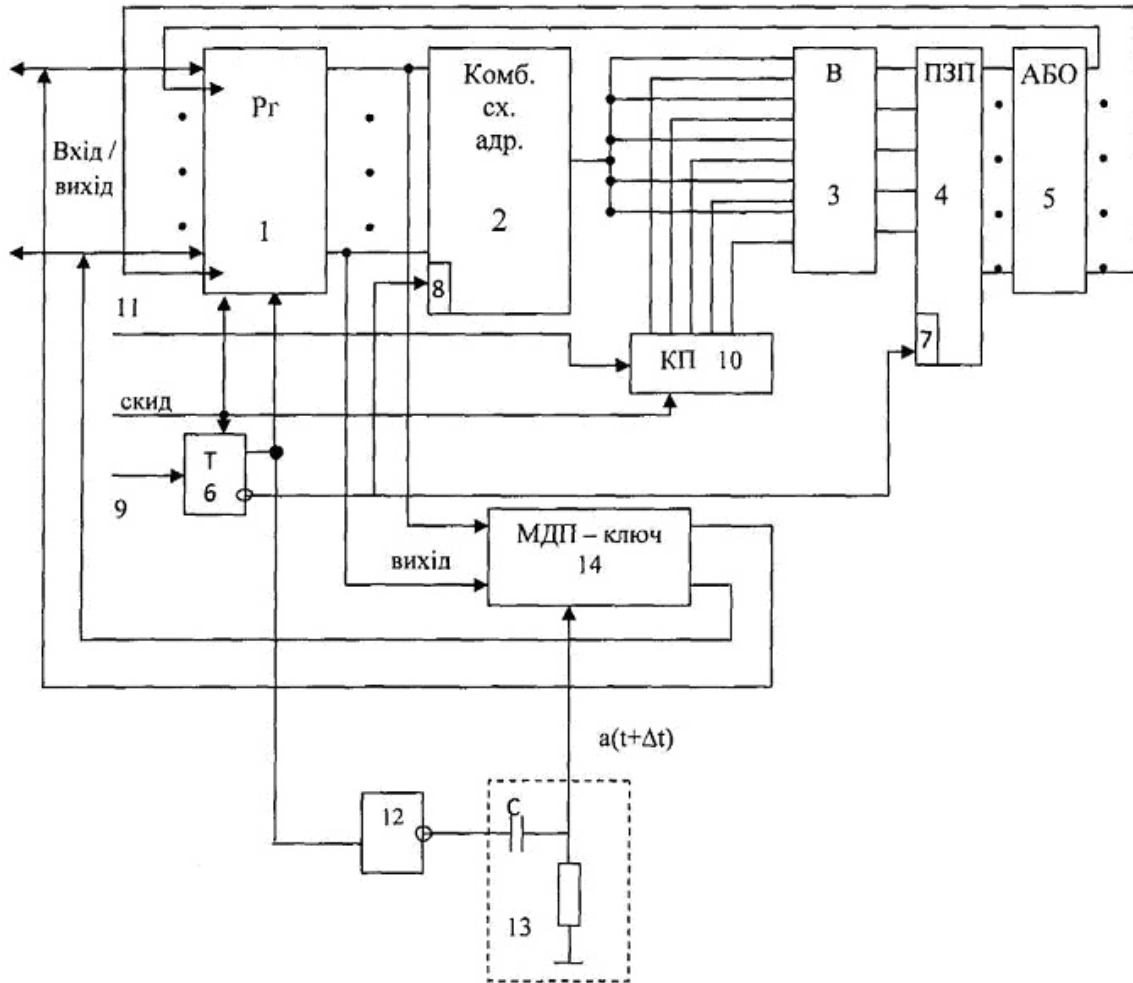
**ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ
ТЕХНОЛОГІЧНИЙ УНІВЕРСИТЕТ,
бул. Шевченка, 460, м. Черкаси, 18006 (UA)**

(54) ПЕРЕТВОРЮВАЧ ДВІЙКОВОГО КОДУ В ОДНОПОЛЯРНІ ОБОРОТНІ КОДИ

(57) Реферат:

Перетворювач двійкового коду в однополярні оборотні коди містить реєстр входу, постійний запам'ятовуючий пристрій, блок елементів АБО, керуючий тригер, комбінаційну схему адреси, блок вентилів, інвертор, диференціюючий ланцюг, блок МДП-ключів.

UA 72952 U



Корисна модель належить до обчислювальної техніки і призначається для використання в інформаційних обчислювальних системах, в дискретних перетворювачах координат, у системах з функціональними перетворювачами дискретної інформації.

5 Перетворювач двійкового коду, що вміщує регістр входу, який виконаний на тригерах з інформаційними та лічильними входами, інформаційні входи регістра з'єднані з входами пристрою, постійний запам'ятовуючий пристрій (ПЗП), виходи якого з'єднані через блок елементів АБО з відповідними лічильними входами регістра входу, виходи якого з'єднані з виходами пристрою, керуючий вхід регістра входу з'єднаний з прямим виходом керуючого тригера, а інверсний вихід тригера з'єднаний з керуючим входом ПЗП, вхід керуючого тригера з'єднаний з першим керуючим входом пристрою, вхід «скид» регістра входу з'єднаний з входом пристрою «скид» [1].

Недоліком даного перетворювача є складність формування для ключової двійкової комбінації послідовного набору однополярних оборотних кодів з n розрядністю 3, 5, 7, 11, 13.

15 Найближчим аналогом до запропонованого пристрою є перетворювач двійкового коду в однополярні оборотні коди [2], який містить регістр входу, виконаний на тригерах з інформаційними та лічильними входами, інформаційні входи регістра з'єднані з входами пристрою, ПЗП, виходи якого з'єднані через блок елементів АБО з відповідними лічильними входами регістра входу, керуючий вхід регістра входу з'єднаний з прямим виходом керуючого тригера, а інверсний вихід керуючого тригера з'єднаний з керуючим входом ПЗП, вхід керуючого тригера з'єднаний з першим керуючим входом пристрою, вхід «скид» регістра входу з'єднаний з входом пристрою «скид», входи комбінаційної схеми адреси з'єднані з відповідними виходами регістра входу, а керуючий вхід комбінаційної схеми адреси з'єднаний з інверсним виходом тригера, вихід комбінаційної схеми адреси з'єднаний з інформаційними входами блока вентилів, виходи якого з'єднані з відповідними входами ПЗП, а керуючі входи блока вентилів з'єднані з відповідними виходами керуючого пристрою, вхід якого з'єднаний з другим керуючим входом пристрою, входи «скид» керуючого пристрою та керуючого тригера з'єднані з входами «скид» пристрою.

Недоліком даного перетворювача є низька надійність.

30 В основу корисної моделі поставлено задачу підвищення надійності шляхом схемотехнічного вирішення.

Поставлена задача вирішується тим, що у перетворювач додатково введено кодові шини "вхід/вихід", які з'єднані з кодовими інформаційними входами регістра входу, та з виходами блока МДП-ключів, входи якого підключено до відповідних виходів регістра входу, а керуючий вхід підключений до виходу диференціюючого ланцюга, вхід якого підключений до виходу інвертора, вхід якого підключений до прямого виходу керуючого тригера, забезпечено зменшення кількості контактів, зумовлену об'єднанням шин входів та виходів, по яким інформація вхідна та вихідна з'являється роздільно у часі, завдяки запропонованому рішенняю для всіх ознак, які вказані у частині формули корисної моделі, що відрізняється, і виявляють в процесі взаємодії характерні їм відомі властивості, що дають кожен із них окремо відомий позитивний ефект.

Отже, забезпечується надпідсумковий позитивний ефект, зумовлений сукупністю вказаних ознак, що задовольняє критерій «суттєві відмінності».

На кресленні зображена структурна схема перетворювача двійкового коду в однополярні оборотні коди.

45 Перетворювач двійкового коду в однополярні оборотні коди містить регістр входу 1, виконаний на тригерах з інформаційними та лічильними входами, інформаційні входи регістра 1 з'єднані з входами пристрою, постійного запам'ятовуючого пристрою (ПЗП), а виходи з'єднані з відповідними входами комбінаційної схеми адреси 2, блок вентилів 3, інформаційні входи якого з'єднані з виходом комбінаційної схеми адреси 2, а його виходи з'єднані з відповідними входами ПЗП 4, виходи якого з'єднані через блок елементів АБО 5 з відповідними лічильними входами регістра входу 1, керуючий вхід регістра входу 1 з'єднаний з прямим виходом керуючого тригера 6, а інверсний вихід керуючого тригера 6 з'єднаний з керуючим входом 7 ПЗП 4 та з дозволяючим входом 8 комбінаційної схеми адреси 2, вхід керуючого тригера 6 з'єднаний з першим керуючим входом 9 пристрою. Керуючі входи блока вентилів 3 з'єднані з відповідними виходами керуючого пристрою 10, вхід якого з'єднаний з керуючим входом 11 пристрою, вхід «скид» пристрою з'єднаний з входами «скид» регістра входу 1, керуючого тригера 6, керуючого пристрою 10, крім того прямий вихід тригера 6 з'єднаний з входом додатково введеного інвертора 12, вихід якого підключений до виходу диференціюючого ланцюга 13, вихід якого підключений до керуючого входу блока МДП - ключів 14, інформаційні входи якого з'єднані з відповідними виходами вхідного регістра 1, інформаційні входи блока МДП-ключів 14 з'єднані з

інформаційними входами вхідного регістра 1 і є «входом/виходом» перетворювача двійкового коду в однополярні коди.

При проектуванні перетворювачів двійкового коду в однополярні оборотні коди, на ряду з традиційними етапами розробки включаються наступні:

- 5 - заздалегідь складається таблиця перетворення вхідної двійкової кодової комбінації та відповідних коректуючих констант до неї, по яким будується ПЗП та група елементів АБО;
- значення кодових констант для коректування відповідної двійкової кодової послідовності визначаються за формулою

$$A \oplus B_i = \Delta_i, (1)$$

- 10 де A - вхідна кодова послідовність;
- B_i - вихідна кодова послідовність;
- Δ_i - коригуюча константа.

З формули (1) видно, що завдяки властивості операції додавання по mod 2 вихідна кодова послідовність B_i визначається

$$15 \quad B_i = A \oplus \Delta_i, (2)$$

а зворотна вхідна кодова послідовність відповідно

$$A = \Delta_i \oplus B_i. (3)$$

- 20 Враховуючи, що для формування A, B використовуються однакові константи Δ_i та порозрядне перетворення (підтверджує аналіз формул (1), (2), (3)), тоді для зменшення загального об'єму пам'яті рекомендується:

- по-перше, вхідний двійковий код та вихідний код перетворювача представляти однаковою розрядністю;

- по-друге, коди розбивати на відповідні тетради [2];

- 25 - константи представляти чотирирозрядними кодами, які є результатами додавання по mod 2 відповідних тетрад для обох зазначених кодових послідовностей.

Наприклад, нехай для перетворення 16 розрядна вхідна двійкова кодова послідовність має вигляд:

A - 0001100001001110,

а відповідні вихідні n - розрядні кодові послідовності однополярних кодів B_i :

- 30 B_3 - 110; B_5 - 11101; B_7 - 1110010; B_{11} - 11100010010; B_{13} - 111100110101.

Згідно із зазначеними вище рекомендаціями, відповідні кодові послідовності, які представляються однаковою розрядністю та розбиті на тетради, мають наступний вигляд

A - 0001_1000_0100_1110

B_3 - 0000000000000110; - 0000_0000_0000_0110;

- 35 B_5 - 0000000000011101; - 0000_0000_0001_1101;

B_7 - 0000000001110010; - 0000_0000_0111_0010;

B_{11} - 0000011100010010; - 0000_0111_0001_0010;

B_{13} - 0000111100110101; - 0000_1111_0011_0101.

- 40 Для кожної тетради в таблиці наведені значення коректуючих констант, що визначалися за формулою (1).

Таблиця

Значення тетрад кодових констант відповідної двійкової кодової послідовності

Тетради	код A_1 0001	код A_2 1000	код A_3 0100	код A_4 1110
код Δ_i константи для B_3	$\Delta_{1,3}$ 0001	$\Delta_{2,3}$ 1000	$\Delta_{3,3}$ 0100	$\Delta_{4,3}$ 1000
код Δ_i константи для B_5	$\Delta_{1,5}$ 0001	$\Delta_{2,5}$ 1000	$\Delta_{3,5}$ 0101	$\Delta_{4,5}$ 0011
код Δ_i константи для B_7	$\Delta_{1,7}$ 0001	$\Delta_{2,7}$ 1000	$\Delta_{3,7}$ 0011	$\Delta_{4,7}$ 1100
код Δ_i константи для B_{11}	$\Delta_{1,11}$ 0001	$\Delta_{2,11}$ 1111	$\Delta_{3,11}$ 0101	$\Delta_{4,11}$ 1100
код Δ_i константи для B_{13}	$\Delta_{1,13}$ 0001	$\Delta_{2,13}$ 0111	$\Delta_{3,13}$ 0111	$\Delta_{4,13}$ 1011

де $i=1$ - старша тетрада; $i=2, i=3$ середні тетради, $i=4$ - молодша тетрада;
 j - номер, який відповідає перетвореному коду.

Надійність перетворювачів, які створюються у вигляді інтегральних мікросхем підвищується тому, що інтенсивність відмов λ контактних вузлів всередині схеми на три, ..., чотири порядки менші в порівнянні з формуванням зовнішніх контактних вузлів.

Відомо [2], що основними причинами відмови приладів при зборці кристалів в корпус та установці на друковану плату є недостатня механічна міцність контактів, мала адгезія виводів до контактної площадки і останньої до підложи, деградації контактної опору через взаємної дифузії металів з утворенням інтерметалевих фаз і пустот, або прихованого технологічного дефекту.

Під контактним вузлом приймається система: струмоведуча площина металізації - термокомпресія - провідник - контактний вивід корпусу - між'єднання до струмоведучої площадки друкованої плати.

Припустимо, інтенсивність відмов кожного контактної вузла при операціях:

- термокомпресія провідника до металізованої площадки дорівнює $\lambda_1=10^{-6}$,

- термокомпресія провідника до контакту площини корпусу дорівнює $\lambda_2=10^{-6}$,

- контакт виводів корпусу ІС до друкованої плати дорівнює $\lambda_3=10^{-6}$.

Тоді загальна інтенсивність відмови одного контактної вузла дорівнює

$$\lambda_3=\lambda_1+\lambda_2+\lambda_3=10^{-6}+10^{-6}+10^{-6}=3\cdot 10^{-6}.$$

Наприклад, у перетворювачах при обробці інформаційних операндів з розрядністю 32 загальна інтенсивність відмов контактних вузлів дорівнює

$$2\cdot 32\cdot \lambda_3=32\cdot 3\cdot 10^{-6}=192\cdot 10^{-6}.$$

Тоді середній час безвідмовної роботи T_p перетворювача дорівнює

$$T_p=(1/\Sigma\lambda_i). \quad (1)$$

Припустимо, що для перетворювачів з числом контактних вузлів 32 інтенсивність відмови пристрою - найближчого аналога дорівнює $\lambda_{зпр}=192\cdot 10^{-6}$, а перетворювача двійкового коду в однополярні коди з розробленою новою схемотехнікою - зменшується число контактних вузлів в 2 рази, тоді

$$\lambda_{з\text{вин}}=(192/2)\cdot 10^{-6},$$

тобто за рахунок зменшення кількості контактних вузлів інтенсивність відмови пристрою зменшується в 2 рази.

Причому порівняння проводиться при ідентичних умовах формування елементів конструкції, технології виготовлення перетворювачів і мають однакову інтенсивність відмови.

Це забезпечує збільшення середнього часу безвідмовної роботи перетворювача двійкового коду в однополярні коди, відповідно [2] в

$$T_{p\text{вин}}/T_{p\text{пр}}=(1/\Sigma\lambda_i)_{\text{вин}}/(1/\Sigma\lambda_i)_{\text{пр}} \text{ рази,} \quad (2)$$

де $T_{p\text{пр}}$ - середній час безвідмовної роботи перетворювача-прототипу;

$T_{p\text{вин}}$ - середній час безвідмовної роботи перетворювача двійкового коду в однополярні коди з розробленою новою схемотехнікою реалізацією.

Тоді для наведеного прикладу середній час безвідмовної роботи збільшується в

$$T_{\text{вин}}/T_{\text{пр}}=192\cdot 10^{-6}/(192/2)\cdot 10^{-6}=2 \text{ рази.}$$

Отже, зменшення кількості контактних вузлів (припустимо) в 2 рази при збереженні паралельної обробки операндів високої точності зменшується середній час безвідмовної роботи в 2 рази.

Перетворювач двійкового коду в однополярні оборотні коди працює таким чином.

Перед перетворенням вхідного двійкового коду, що надходить на вхід пристрою, імпульсом «скид» пристрою встановлюються в початковий стан регістр 1, тригер 6, керуючий пристрій 10. Імпульс запуску 9 надходить на лічильний вхід тригера 6 й на виході регістра 1 встановлюється вхідна кодова послідовність інформації. Дозволяючи входи 7, 8 ПЗП та комбінаційної схеми адреси 2 з'єднані з інверсним виходом тригера 6 відповідно. При надходженні керуючого імпульсу 11 на вхід керуючого пристрою (КП) 10, на відповідному виході якого з'являється імпульс, який дозволить імпульсу з виходу комбінаційної схеми адреси 2 пройти через блок вентилів 3 й читати із ПЗП 4 код значення відповідної коректуючої константи, який через блок елементів АБО 5 надходить на відповідні лічильні входи регістра 1. Під дією одиниць коду константи відбувається перекидання станів тригерів регістра 1 в інший стан, тобто відбувається сумування по mod 2 вхідного двійкового коду та відповідного коду коректуючої константи й на виході регістра 1 з'являється відповідний однополярний оборотний код, який надходить на інформаційні входи блока МДП-ключів 14, інформаційний код з'явиться на виході блока МДП-ключів 14 після надходження керуючого сигналу $a(t+At)$ з прямого виходу керуючого тригера 6 через інвертор 12 і диференціюючого вузла 13.

Отже, перевагою перетворювача двійкового коду в однополярні оборотні коди є збільшення надійності в 2 рази.

Література:

1. А. С. № 781806, МПК G06F 5/02.
2. Патент № 44833 Перетворювач двійкового коду в однополярні оборотні коди, МПК G06F 5/00 Лукашенко В.М. та інші.

5

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

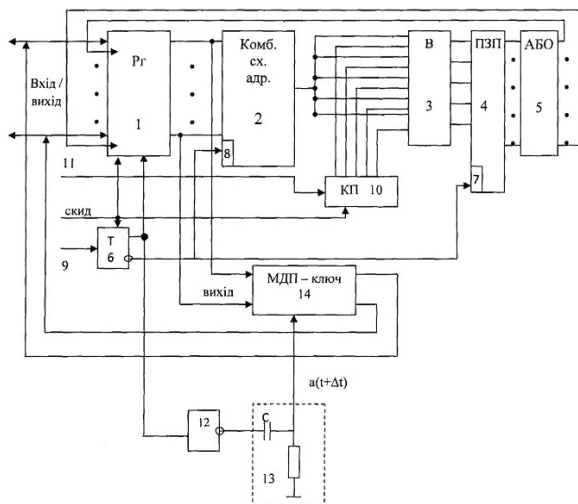
Перетворювач двійкового коду в однополярні оборотні коди, що містить реєстр входу, який виконаний на тригерах з інформаційними та лічильними входами, інформаційні входи реєстра з'єднані з входами пристрою, постійного запам'ятовуючого пристрою (ПЗП), виходи якого з'єднані через блок елементів АБО з відповідними лічильними входами реєстра входу, керуючий вхід реєстра входу з'єднаний з прямим виходом керуючого тригера, а інверсний вихід керуючого тригера з'єднаний з керуючим входом ПЗП, вхід керуючого тригера з'єднаний з першим керуючим входом пристрою, вхід "скид" реєстра входу з входом пристрою "скид", входи комбінаційної схеми адреси з'єднані з відповідними виходами реєстра входу, а керуючий вхід комбінаційної схеми адреси з'єднаний з інверсним виходом керуючого тригера, вихід комбінаційної схеми адреси з'єднаний з інформаційними входами блока вентилів, виходи якого з'єднані з відповідними входами постійно запам'ятовуючого пристрою, а керуючі входи блока вентилів з'єднані з відповідними виходами керуючого пристрою, вхід якого з'єднаний з другим керуючим входом пристрою, входи "скид" керуючого пристрою та керуючого тригера з'єднані з входами "скид" пристрою, який **відрізняється** тим, що прямий вихід тригера з'єднаний з входом додатково введеного інвертора, вихід якого підключений до входу введеного диференціюючого ланцюга, вихід якого підключений до керуючого входу введеного блока МДП-ключів, інформаційні входи якого з'єднані з відповідними виходами вхідного реєстра, а інформаційні входи блока МДП-ключів з'єднані з інформаційними входами вхідного реєстра і є "входом/виходом" перетворювача.

10

15

20

25



Комп'ютерна верстка І. Скворцова

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601