

УКРАЇНА

UKRAINE



ПАТЕНТ

НА КОРИСНУ МОДЕЛЬ

№ 40177

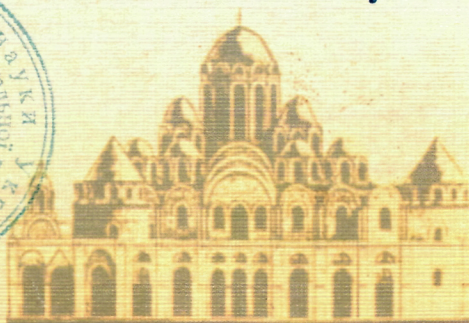
ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

Видано відповідно до Закону України "Про охорону прав на винаходи і корисні моделі".

Зареєстровано в Державному реєстрі патентів України на корисні моделі **25.03.2009**.

Голова Державного департаменту інтелектуальної власності

М.В. Паладій



- (21)** Номер заявки: **u 2008 13017**
- (22)** Дата подання заявки: **10.11.2008**
- (24)** Дата, з якої є чинними права на корисну модель: **25.03.2009**
- (46)** Дата публікації відомостей про видачу патенту та номер бюлетеня: **25.03.2009, Бюл. № 6**

- (72)** Винахідники:
Лукашенко Валентина Максимівна (UA),
Кулигін Олександр Анатолійович (UA),
Лукашенко Андрій Германович (UA),
Рудаков Костянтин Сергійович (UA),
Лукашенко Володимир Андрійович (UA),
Зубко Ігор Анатолійович (UA)

- (73)** Власник:
ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ ТЕХНОЛОГІЧНИЙ УНІВЕРСИТЕТ,
бул.Шевченка,460, м.Черкаси,
18006, Україна

- (54)** Назва корисної моделі:

ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

- (57)** Формула корисної моделі:

Цифровий пристрій для обчислення функцій, що вміщує регістр входу 1, інформаційні входи якого з'єднані з входами пристрою, дешифратор 2, інформаційні входи якого з'єднані з виходами регістра входу 1, блок пам'яті 3, входи якого з'єднані з виходами дешифратора 2, m-груп елементів "I" 4, де m-розрядність коефіцієнта нахилу апроксимуючої прямої, керуючі входи елементів "I" 4 підключені до перших виходів блока пам'яті 3, а інформаційні входи m-груп елементів "I" 4 з'єднані з виходами регістра входу 1, групу елементів "АБО" 5, входи яких підключені до відповідних виходів групи елементів "I" 4, кодові входи регістра виходу 6 підключені до других виходів блока пам'яті 3, а лічильні входи регістра виходу 6 підключені до відповідних виходів групи елементів "АБО" 5, керуюча шина "Скид" підключена до першого керуючого входу регістра входу 1, регістра виходу 6 та першого входу керуючого тригера 7, другий вхід якого підключений до керуючої шини "Запуск" пристрою, прямий вихід керуючого тригера 7 з'єднаний з другим керуючим входом регістра входу 1, а інверсний вихід керуючого тригера 7 підключений до керуючого входу дешифратора 2, який відрізняється тим, що виходи регістра 6 підключені до входів введеного блока МДП-ключів 8, керуючі входи якого підключені до виходу введеного елемента затримки 9, вхід якого підключений до входу введеного елемента "НІ" 10, а його вхід підключений до інверсного виходу керуючого тригера 7, інформаційні входи блока МДП-ключів 8 з'єднані з інформаційними входами вхідного регістра 1 і є "вхід/вихід" цифрового пристрою для обчислення функцій.

Пронумеровано, прошито металевими
люверсами та скріплено печаткою
2 арк.
25.03.2009



Уповноважена особа

(підпис)



УКРАЇНА

(19) UA (11) 40177 (13) U
(51) МПК
G06F 7/544 (2009.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

1

2

(21) u200813017

(22) 10.11.2008

(24) 25.03.2009

(46) 25.03.2009, Бюл.№ 6, 2009 р.

(72) ЛУКАШЕНКО ВАЛЕНТИНА МАКСИМІВНА, UA,
КУЛИГІН ОЛЕКСАНДР АНАТОЛІЙОВИЧ, UA,
ЛУКАШЕНКО АНДРІЙ GERMANOVICH, UA,
РУДАКОВ КОСТЯНТИН СЕРГІЙОВИЧ, UA,
ЛУКАШЕНКО ВОЛОДИМИР АНДРІЙОВИЧ, UA,
ЗУБКО ІГОР АНАТОЛІЙОВИЧ, UA

(73) ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ ТЕХНОЛОГІЧ-
НИЙ УНІВЕРСИТЕТ, UA

(57) Цифровий пристрій для обчислення функцій, що вміщує регістр входу 1, інформаційні входи якого з'єднані з входами пристрою, дешифратор 2, інформаційні входи якого з'єднані з виходами регістра входу 1, блок пам'яті 3, входи якого з'єднані з виходами дешифратора 2, m-груп елементів "I" 4, де m-розрядність коефіцієнта нахилу апроксимуючої прямої, керуючі входи елементів "I" 4 підключені до перших виходів блока пам'яті 3, а інформаційні входи m-груп елементів "I" 4 з'єднані з виходами регістра входу 1, групу елементів "АБО"

5, входи яких підключені до відповідних виходів групи елементів "I" 4, кодові входи регістра виходу 6 підключені до других виходів блока пам'яті 3, а лічильні входи регістра виходу 6 підключені до відповідних виходів групи елементів "АБО" 5, керуюча шина "Скид" підключена до першого керуючого входу регістра входу 1, регістра виходу 6 та першого входу керуючого тригера 7, другий вхід якого підключений до керуючої шини "Запуск" пристрою, прямий вихід керуючого тригера 7 з'єднаний з другим керуючим входом регістра входу 1, а інверсний вихід керуючого тригера 7 підключений до керуючого входу дешифратора 2, який **відрізняється** тим, що входи регістра 6 підключені до виходів введеного блока МДП-ключів 8, керуючі входи якого підключені до виходу введеного елемента затримки 9, вхід якого підключений до входу введеного елемента "НІ" 10, а його вхід підключений до інверсного виходу керуючого тригера 7, інформаційні входи блока МДП-ключів 8 з'єднані з інформаційними входами вхідного регістра 1 і є "вхід/вихід" цифрового пристрою для обчислення функцій.

Корисна модель відноситься до обчислювальної техніки і призначається для використання в інформаційних обчислювальних системах, дискретних перетворювачах координат, у системах з функціональними перетворювачами дискретної інформації.

Відомий пристрій [1], що вміщує регістр входу, інформаційні входи якого з'єднані з входами пристрою, дешифратор, інформаційні входи якого з'єднані з виходами регістру входу, блок пам'яті, входи якого з'єднані з виходами дешифратора, m-груп елементів "I", де m - розрядність коефіцієнту нахилу апроксимуючої прямої, керуючі входи елементів "I" підключені до перших виходів блоку пам'яті, а їх інформаційні входи з'єднані з виходами регістру входу, керуюча шина "Скид" підключена до першого керуючого входу регістру та першого входу керуючого тригера, другий вхід якого підключений до керуючої шини "Запуск" пристрою, прямий вихід керуючого тригера з'єднаний з другим керуючим входом регістру входу), а інверсний вихід керуючого тригера підключений до керуючо-

го входу дешифратора, групу елементів "АБО", суматор з відповідними зв'язками.

Недоліком даного пристрою є низька швидкодія.

Дійсно, швидкодія цього пристрою визначається за формулою

$$t = t_0 + m \cdot n \cdot t^{\Sigma} \quad (1)$$

де t_0 - час вибору констант зміщення і коректуючих констант із постійно запам'ятовуючого пристрою ПЗП;

m - число операцій підсумовування;

n - число розрядів;

t^{Σ} - час виконання однієї операції підсумування двох однорозрядних кодів.

При збільшенні точності від творення функції число розрядів збільшується, отже зменшується швидкодія підсумовування.

Найбільш близьким до пропонуваного по технічній суті є цифровий пристрій для обчислення функцій, що вміщує регістр входу, інформаційні входи якого з'єднані з входами пристрою, дешифратор, інформаційні входи якого з'єднані з вихо-

(13) U

(11) 40177

(19) UA

дами регістру входу, блок пам'яті, входи якого з'єднані з виходами дешифратора, m -груп елементів "І", де m -розрядність коефіцієнту нахилу апроксимуючої прямої, керуючі входи елементів "І" підключені до перших виходів блоку пам'яті, а інформаційні входи m -груп елементів "І" з'єднані з виходами регістру входу, групу елементів "АБО", входи яких підключені до відповідних виходів групи елементів "І", кодові входи регістру виходу підключені до других виходів блоку пам'яті, а лічильні входи регістру виходу підключені до відповідних виходів групи елементів "АБО", керуюча шина "Скид" підключена до першого керуючого входу регістра входу, регістра виходу та першого входу керуючого тригера, другий вхід якого підключений до керуючої шини "Запуск" пристрою, прямий вихід керуючого тригера з'єднаний з другим керуючим входом регістру входу, а інверсний вихід керуючого тригера підключений до керуючого входу дешифратора.

Недоліком даного пристрою є низька надійність.

Мета корисної моделі - підвищення надійності пристрою при збереженні апаратних витрат.

Зазначена мета досягається тим, то у цифровий пристрій для обчислення функцій, що вміщує регістр входу, інформаційні входи якого з'єднані з виходами пристрою, дешифратор, інформаційні входи якого з'єднані з виходами регістру входу, блок пам'яті, входи якого з'єднані з виходами дешифратора, m -груп елементів "І", де m -розрядність коефіцієнту нахилу апроксимуючої прямої, керуючі входи елементів "І" підключені до перших виходів блоку пам'яті, а інформаційні входи m -груп елементів "І" з'єднані з виходами регістру входу, групу елементів "АБО", входи яких підключені до відповідних виходів групи елементів "І", кодові входи регістру виходу підключені до других виходів блоку пам'яті, а лічильні входи регістру виходу підключені до відповідних виходів групи елементів "АБО", керуюча шина "Скид" підключена до першого керуючого входу регістра входу, регістра виходу та першого входу керуючого тригера, другий вхід якого підключений до керуючої шини "Запуск" пристрою, прямий вихід керуючого тригера з'єднаний з другим керуючим входом регістру входу, а інверсний вихід керуючого тригера підключений до керуючого входу дешифратора, в нього введені блок МДП-ключів, інформаційні входи якого підключені до відповідних виходів регістру виходу, керуючі входи блоку МДП-ключів підключені до виходу введеного елемента затримки, вхід якого підключений до входу введеного елемента "НІ", а його вхід підключений до інверсного виходу керуючого тригера, інформаційні входи блоку МДП-ключів з'єднані з інформаційними входами вхідного регістру і є "вхід/вихід" цифрового пристрою для обчислення функцій.

В основу корисної моделі пристрою поставлено задачу підвищення надійності цифрового пристрою для обчислення функцій шляхом запропоновання схемотехнічного рішення для усіх ознак, які вказані у відрізняючій частині формули корисної моделі, у вигляді введення блоку МДП-ключів, інформаційні входи якого підключені до відповід-

них виходів регістру виходу, керуючі входи блоку МДП-ключів підключені до виходу введеного елемента затримки, вхід якого підключений до входу введеного елемента "НІ", а його вхід підключений до інверсного виходу керуючого тригера, інформаційні входи блоку МДП-ключів з'єднані з інформаційними входами вхідного регістру і є "вхід/вихід" цифрового пристрою для обчислення функцій, які виявляють в процесі взаємодії характерні їм відомі властивості, що дає кожен із них окремо відомий позитивний ефект, зумовлений сукупністю вказаних ознак, який визначається в тім, що скорочення кількості контактів відтворення функції за рахунок схемотехнічного вирішення.

Таким чином, запропоноване рішення задовольняє критерій "суттєві відмінності".

На Фіг. зображена структурна схема пристрою.

Пристрій містить регістр входу 1, дешифратор 2, блок пам'яті 3, групу елементів "І" 4, групу елементів "АБО" 5, регістр виходу 6, керуючий тригер 7, МДП-ключі 8, елемент затримки 9, елемент "НІ" 10.

У запропонованому пристрої значення функцій виводиться у вигляді додавання по mod 2 трансформованої у відповідному набору елементів "І" кодової послідовності вхідного аргументу і коректуючих констант. При цьому підключення відповідного розряду вхідного коду, зміщеного на цілу ступень двійки, здійснюється заздалегідь, після розрахунку ділянок та нахилу апроксимуючої прямої, тобто при підготовці таблиць.

Для ділянки зміни аргументу ($x_j \leq x \leq x_{j+1}$) функція подається в такому вигляді

$$F(x) = \left(\xi_0 g^0 + \xi_1 g^1 + \dots + \xi_{(m-1)} g^{(m-1)} \right) \oplus (\Delta_j) \quad (2)$$

де: x - аргумент функції;

g - основа прийнятої системи лічіння;

m - розрядність коефіцієнту нахилу апроксимуючої прямої;

$\xi_0 \dots \xi_{(m-1)}$ - константи перетворення, що мають значення 0 або 1;

Δ_j - значення коректуючих констант, визначених як сума по mod 2 значення трансформованої кодової послідовності вхідного аргументу і відповідного йому значення кодової послідовності функції.

Кількість та знаки зміщень вибираються із врахуванням необхідної точності відтворення функції. Процедура розрахунку функції, що реалізується, зумовлюється тим, що визначається значення коректуючої константи й коефіцієнта нахилу прямої j -ї лінійної ділянки апроксимації.

Надійність цифрових пристроїв для обчислення функцій, які створюються у вигляді інтегральних мікросхем підвищується тому, що інтенсивність відмов λ , контактних вузлів всередині схеми на три, ..., чотири порядки менша в порівнянні з формуванням зовнішніх контактних вузлів.

Відомо [2], що основними причинами відмови приладів при зборці кристалів в корпус та установці на друковану плату є недостатня механічна міцність контактів, мала адгезія виводів до контактної площадки і останньої до підложки, деградації контактної опору через взаємну дифузію металів

з утворенням інтерметалевих фаз і пустот, або прихованого технологічного дефекту.

Під контактним вузлом приймається система: струмоведуча площа металізації - термокомпресія - провідник - контактний вивід корпусу - між'єднання до струмоведучої площадки друкованої плати.

Припустимо, інтенсивність відмов кожного контактної вузла при операціях:

- термо ком преси; провідника до металізованої площадки дорівнює

$$\lambda_1=10^{-6},$$

- термокомпресія провідника до контакту площини корпусу дорівнює

$$\lambda_2=10^{-6},$$

- контакт виводів корпусу ІС до друкованої плати дорівнює

$$\lambda_3=10^{-6}.$$

Тоді загальна інтенсивність відмови одного контактної вузла дорівнює

$$\lambda_3=\lambda_1+\lambda_2+\lambda_3=10^{-6}+10^{-6}+10^{-6}=3\cdot 10^{-6}.$$

Наприклад, у пристроїв при обробці інформаційних операндів з розрядністю 32 загальна інтенсивність відмов контактних вузлів дорівнює

$$32\cdot\lambda_3=32\cdot 3\cdot 10^{-6}=96\cdot 10^{-6}.$$

Тоді середній час безвідмовної роботи T_p пристроїв дорівнює

$$T_p=(1/\sum\lambda_i) \quad (3)$$

Припустимо, що для пристроїв з числом контактних вузлів 32 інтенсивність відмови пристрою - прототипу дорівнює $\lambda_{з пр}=96\cdot 10^{-6}$, а у цифрового пристрою для обчислення функцій з розробленою новою схемотехнікою - зменшується число контактних вузлів в 2 рази,

тоді

$$\lambda_{з вин}=(96/2)\cdot 10^{-6},$$

тобто за рахунок зменшення кількості контактних вузлів інтенсивність відмови пристрою корисної моделі зменшується в 2 рази.

Причому, порівняння проводиться при ідентичних умовах формування елементів конструкції, технології виготовлення пристроїв і мають однакову інтенсивність відмови.

Це забезпечує збільшення середнього часу безвідмовної роботи цифрового пристрою для обчислення функцій, відповідно [2] в

$$T_{рвин}/T_{рпр}=(1/\sum\lambda_i)_{вин}/(1/\sum\lambda_i)_{пр} \text{ рази,} \quad (4)$$

де $T_{р пр}$ - середній час безвідмовної роботи пристрою-прототипу;

$T_{р вин}$ - середній час безвідмовної роботи цифрового пристрою для обчислення функцій з розробленою новою схемотехнікою реалізацією.

Тоді для наведеного прикладу середній час безвідмовної роботи збільшується в

$$T_{из}/T_{пр}=96\cdot 10^{-6}/(96/2)\cdot 10^{-6}=2 \text{ рази.}$$

Отже, зменшення кількості контактних вузлів (припустимо) в 2 рази при збереженні паралельної обробки операндів високої точності зменшується середній час безвідмовної роботи в 2 рази.

Цифровий пристрій для обчислення функцій працює таким чином. По входу "Скид" пристрою імпульс встановлює у вихідний стан регістра входу 1, регістра виходу 6, тригер 7. Імпульс "Запуск" надходить на лічильний вхід тригера 7 і встановлює на виході регістру 1 вхідну кодову послідовність аргументу. Оскільки дозволяючий вхід дешифратора 2 відкритий інверсним виходом тригера 7, то під дією коду аргументу на відповідальному виході дешифратора 2 сформується імпульс, який надходить на відповідний вхід блоку пам'яті 3, під дією якого з других виходів блоку пам'яті 3 по відповідним кодовим входам у регістр виходу 6 записується код коректуючої константи, а з перших виходів блоку пам'яті 3 зчитується код керуючої константи, який надходить на відповідні керуючі входи відповідних елементів "І" 4, під дією якого вхідна кодова послідовність аргументу, яка трансформується заздалегідь по цілих ступенях двійки, надходить через елементи "АБО" 5 на лічильні входи регістру виходу 6. Під дією одиниць відбувається переключення відповідного тригера у регістру виходу 6 на протилежне значення, тобто відбувається сума по mod 2. На виході регістру 6 з'явиться код значення відтвореної функції.

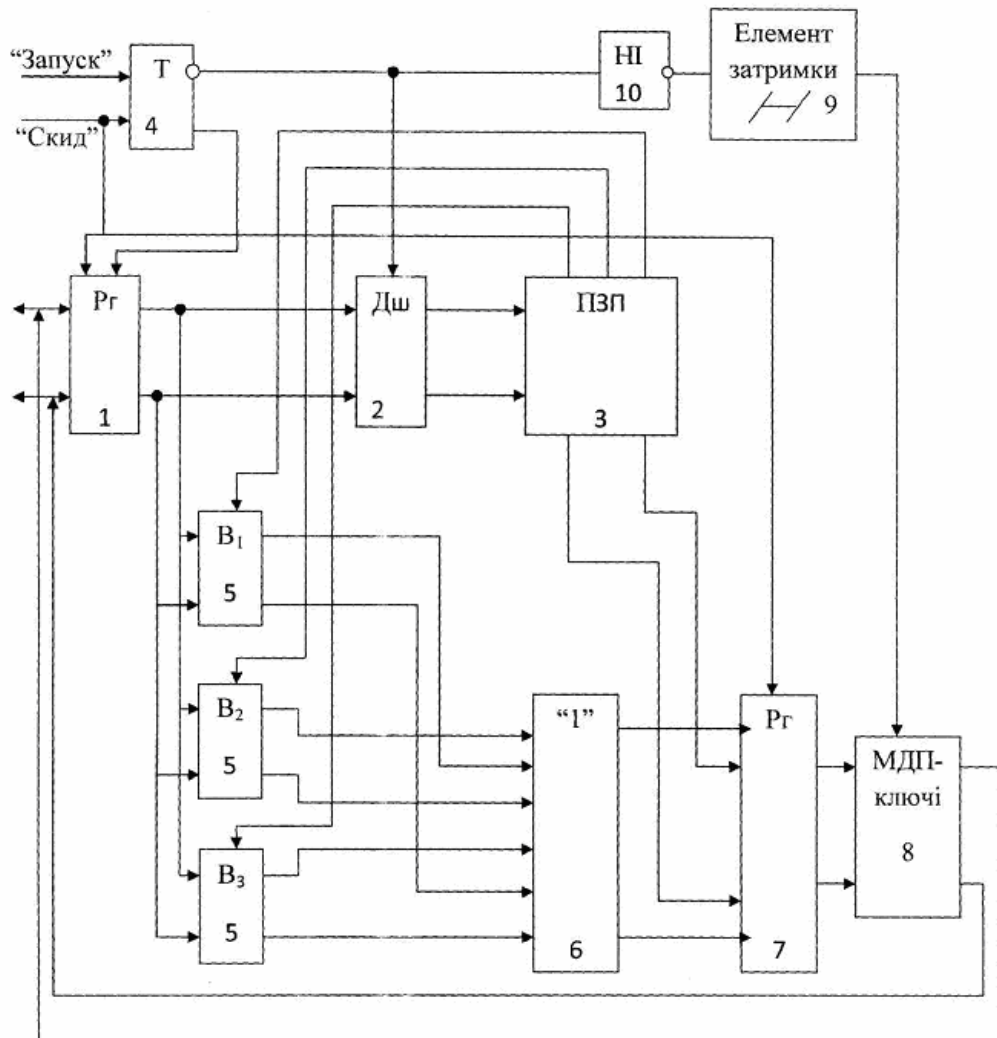
Техніко-економічний аналіз пропонованого пристрою показує, що зменшення числа контактних вузлів у запропонованому пристрої при збереженні паралельної обробки операндів високої точності (зберігається швидкодія), в порівнянні з прототипом, підвищує середній час безвідмовності роботи.

Цифровий пристрій, який реалізовано в єдиному кристалі, завдяки зменшенню кількості зовнішніх контактів буде більш відмово стійким і тому підвищує не тільки надійність пристрою та відсоток виходу придатних ІС, що знижує вартість цифрового пристрою для обчислення функцій.

Джерела інформації:

1. Цифровое устройство для вычисления функций: А.с. 855658. СССР. МКИ G06F7/544 /В.М. Лукашенко -№2848805/18-24; Заявл.07.12.79; Опубл. 14.04.80; Бюл. №30. -4с.

2. Пат. 29319А Україна, МПК⁶ G06G07/26. Цифровий пристрій для обчислення функцій: В.М. Лукашенко -№98052508; Заявл. 14.05.98; Опубл. 16.10.00, Бюл.№5. -5с. (прототип).



Фіг.