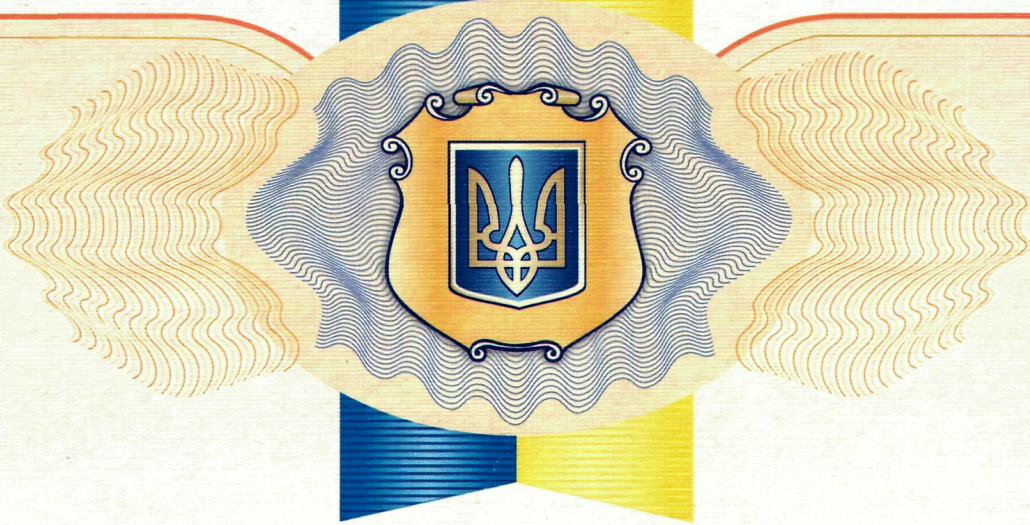


УКРАЇНА

UKRAINE



ПАТЕНТ

НА КОРИСНУ МОДЕЛЬ

№ 40745

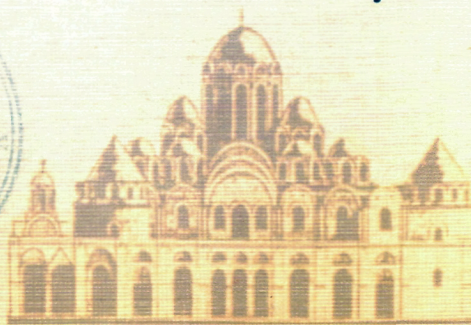
ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

Видано відповідно до Закону України "Про охорону прав на винаходи і корисні моделі".

Зареєстровано в Державному реєстрі патентів України на корисні моделі 27.04.2009.

Голова Державного департаменту інтелектуальної власності

М.В. Паладій



- (21) Номер заявки: **u 2008 13059**
- (22) Дата подання заявки: **10.11.2008**
- (24) Дата, з якої є чинними права на корисну модель: **27.04.2009**
- (46) Дата публікації відомостей про видачу патенту та номер бюлетеня: **27.04.2009, Бюл. № 8**

- (72) Винахідники:
Лукашенко Валентина Максимівна (UA),
Дахно Світлана Василівна (UA),
Лукашенко Андрій Германович (UA),
Рудаков Костянтин Сергійович (UA),
Лукашенко Володимир Андрійович (UA),
Вербицький Олександр Сергійович (UA)

- (73) Власник:
ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ ТЕХНОЛОГІЧНИЙ УНІВЕРСИТЕТ,
 бул.Шевченка,460, м.Черкаси, 18006, Україна

- (54) Назва корисної моделі:

ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

- (57) Формула корисної моделі:

Цифровий пристрій для обчислення функцій, що містить зміщуючий регістр, інформаційні входи якого з'єднані з входами пристрою, адресну комбінаційну схему, інформаційні входи якої підключені до виходів зміщуючого регістра, блок пам'яті, входи якого з'єднані з виходами адресної комбінаційної схеми, керуюча шина пристрою "Скид" підключена до перших керуючих входів зміщуючого регістра та регістра, шина "Запуск" є керуючою шиною пристрою, керуючий тригер, перший вхід якого підключений до шини "Скид", а другий - до шини "Запуск", інверсний вихід тригера підключений до керуючого входу адресної комбінаційної схеми, а прямий вихід тригера з'єднаний з другим керуючим входом зміщуючого регістра, треті керуючі входи якого з'єднані першими виходами блока пам'яті та підключені до входів елемента "АБО-НІ", вихід якого з'єднаний із входом вузла диференціювання, вихід якого підключений до керуючого входу групи елементів "І", інформаційні входи яких підключені до відповідних виходів зміщуючого регістра, а виходи елементів "І" підключені до відповідних зчитувальних входів регістра, кодові входи якого з'єднані з відповідними другими виходами блока пам'яті, який відрізняється тим, що вихід вузла диференціювання підключений до входу введеного елемента затримки, вихід якого підключений до керуючого входу введеного блока МДП-ключів, інформаційні входи блока МДП-ключів з'єднані з відповідними виходами вихідного регістра, а інформаційні виходи блока МДП-ключів з'єднані з інформаційними входами вхідного регістра і є "входом/виходом" цифрового пристрою для обчислення функцій.

Пронумеровано, прошито металевими люверсами та скріплено печаткою
2 арк.
27.04.2009



Уповноважена особа

A handwritten signature in blue ink, consisting of stylized, cursive letters.

(підпис)



УКРАЇНА

(19) UA (11) 40745 (13) U
(51) МПК (2009)
G06G 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ЦИФРОВИЙ ПРИСТРІЙ ДЛЯ ОБЧИСЛЕННЯ ФУНКЦІЙ

1

2

(21) u200813059

(22) 10.11.2008

(24) 27.04.2009

(46) 27.04.2009, Бюл.№ 8, 2009 р.

(72) ЛУКАШЕНКО ВАЛЕНТИНА МАКСИМІВНА, UA,
ДАХНО СВІТЛАНА ВАСИЛІВНА, UA, ЛУКАШЕНКО
АНДРІЙ GERMANOVICH, UA, РУДАКОВ КОСТЯН-
ТИН СЕРГІЙОВИЧ, UA, ЛУКАШЕНКО ВОЛОДИ-
МИР АНДРІЙОВИЧ, UA, ВЕРБИЦЬКИЙ ОЛЕК-
САНДР СЕРГІЙОВИЧ, UA

(73) ЧЕРКАСЬКИЙ ДЕРЖАВНИЙ ТЕХНОЛОГІЧ-
НИЙ УНІВЕРСИТЕТ, UA

(57) Цифровий пристрій для обчислення функцій,
що містить зміщуючий регістр, інформаційні входи
якого з'єднані з входами пристрою, адресну комбі-
наційну схему, інформаційні входи якої підключені
до виходів зміщуючого регістра, блок пам'яті, вхо-
ди якого з'єднані з виходами адресної комбінацій-
ної схеми, керуюча шина пристрою "Скид" підклю-
чена до перших керуючих входів зміщуючого
регістра та регістра, шина "Запуск" є керуючою
шиною пристрою, керуючий тригер, перший вхід
якого підключений до шини "Скид", а другий - до

шини "Запуск", інверсний вихід тригера підклю-
чений до керуючого входу адресної комбінаційної
схеми, а прямиий вихід тригера з'єднаний з другим
керуючим входом зміщуючого регістра, треті керу-
ючі входи якого з'єднані першими виходами блока
пам'яті та підключені до входів елемента "АБО-НІ",
вихід якого з'єднаний із входом вузла диференці-
ювання, вихід якого підключений до керуючого
входу групи елементів "І", інформаційні входи яких
підключені до відповідних виходів зміщуючого ре-
гістра, а виходи елементів "І" підключені до відпо-
відних зчитувальних входів регістра, кодові входи
якого з'єднані з відповідними другими виходами
блока пам'яті, який **відрізняється** тим, що вихід
вузла диференціювання підключений до входу
введеного елемента затримки, вихід якого підклю-
чений до керуючого входу введеного блока МДП-
ключів, інформаційні входи блока МДП-ключів
з'єднані з відповідними виходами вихідного ре-
гістра, а інформаційні входи блока МДП-ключів з'єд-
нані з інформаційними входами вхідного регістра і
є "входом/виходом" цифрового пристрою для об-
числення функцій.

Корисна модель відноситься до обчислюваль-
ної техніки і призначається для використання в
інформаційних обчислювальних системах, дискре-
тних перетворювачах координат, у системах з фу-
нкціональними перетворювачами дискретної ін-
формації.

Відомий пристрій [1], що вміщує зміщуючий
регістр, інформаційні входи якого з'єднані з інфор-
маційними входами пристрою, адресну комбіна-
ційну схему, інформаційні входи якої підключені до
виходів зміщуючого регістру, блок пам'яті, входи
якого з'єднані з виходами адресної комбінаційної
схеми, керуюча шина пристрою «Скид» підключе-
на до перших керуючих входів зміщуючого регістру
і регістру, шина «Запуск» є керуючою шиною при-
строю.

Недоліком даного пристрою є низька швидко-
дія.

Дійсно, швидкодія цього пристрою визначаєть-
ся за формулою

$$t = t_B + \gamma t_{3M} + m t_{PC} \quad (1)$$

де t_B - час вибору констант зміщення і корек-
туючи констант із ПЗП

(постійно запам'ятовуючий пристрій);

γ - число зміщень вхідної інформації;

t_{3M} - час виконання операції зміщення на один
розряд;

m - число операцій підсумовування;

t_{PC} - час виконання однієї операції підсумову-
вання двох n-розрядних кодів.

Відомо, що час t_{PC} залежить від n-розрядності
операндів доданків, а при збільшенні точності від-
творення функції число розрядів збільшується, а
отже, зменшується швидкодія підсумовування.
Якщо зберегти приладні затрати, тобто вагу, габарити,
надійність пристрою, то швидкодія зменшуєть-
ся пропорційно зростанню розрядності операн-
да.

U
(13)

40745
(11)

UA
(19)

Найбільш близьким до пропонованого по технічній суті є пристрій [2], цифровий пристрій для обчислення функцій, що вміщує зміщуючий регістр 1, інформаційні входи якого з'єднані з входами пристрою, адресну комбінаційну схему 2, інформаційні входи якої підключені до виходів зміщуючого регістра, блок пам'яті 3, входи якого з'єднані з виходами адресної комбінаційної схеми, керуюча шина пристрою «Скид» підключена до перших керуючих входів зміщуючого регістра та регістра, шина «Запуск» є керуючою шиною пристрою, керуючий тригер 4, перший вхід якого підключений до шини «Скид», а другий - до шини «Запуск», інверсний вихід тригера 4 підключений до керуючого входу адресної комбінаційної схеми 2, а прямий вихід тригера 4 з'єднаний з другим керуючим входом зміщуючого регістра 1, третій керуючий вхід якого з'єднаний першими виходами блока пам'яті 3 і підключені до входів елемента «АБО-НІ» 5, вихід якого з'єднаний із входом вузла 6 диференціювання, вихід якого підключений до керуючого входу групи елементів «І» 7, інформаційні входи яких підключені до відповідних виходів зміщуючого регістра 1, а виходи елементів «І» 7 підключені до відповідних зчитувальних входів регістра 8, кодові входи якого з'єднані з відповідними другими виходами блока пам'яті 3.

Недоліком даного цифрового пристрою є низька надійність.

Мета корисної моделі - підвищення надійності пристрою при збереженні приладних затрат.

Зазначена мета досягається тим, що у пристрій, що вміщує зміщуючий регістр 1, інформаційні входи якого з'єднані з входами пристрою, адресну комбінаційну схему 2, інформаційні входи якої підключені до виходів зміщуючого регістра, блок пам'яті 3, входи якого з'єднані з виходами адресної комбінаційної схеми, керуюча шина пристрою «Скид» підключена до перших керуючих входів зміщуючого регістра та регістра, шина «Запуск» є керуючою шиною пристрою, керуючий тригер 4, перший вхід якого підключений до шини «Скид», а другий - до шини «Запуск», інверсний вихід тригера 4 підключений до керуючого входу адресної комбінаційної схеми 2, а прямий вихід тригера 4 з'єднаний з другим керуючим входом зміщуючого регістра 1, третій керуючий входи якого з'єднані першими виходами блока пам'яті 3 і підключені до входів елемента «ИЛИ-НЕ» 5, вихід якого з'єднаний із входом вузла 6 диференціювання, вихід якого підключений до керуючого входу групи елементів «И» 7, інформаційні входи яких підключені до відповідних виходів зміщуючого регістра 1, а виходи елементів «И» 7 підключені до відповідних зчитувальних входів регістра 8, кодові входи якого з'єднані з відповідними другими виходами блока пам'яті 3, відповідно до корисної моделі вихід вузла 6 диференціювання підключений до входу введеного елемента затримки 9, вихід якого підключений до керуючого входу введеного блоку МДП-ключів 10, інформаційні входи блоку МДП-ключів 10 з'єднані з відповідними виходами вихідного регістра 8, а інформаційні входи блоку МДП-ключів з'єднані з інформаційними входами вхідного

регістру 1 і є «входом/виходом» цифрового пристрою для обчислення функцій.

В основу корисної моделі цифрового пристрою для обчислення функцій поставлено задачу підвищення надійності шляхом схемотехнічного вирішення, у вигляді введення кодових шин "вхід/вихід", які з'єднані з кодовими інформаційними входами зміщуючого регістра, та з виходами блоку МДП-ключів, входи якого підключено до відповідних виходів регістру, а керуючий вхід підключений до виходу елемента затримки, вхід якого підключений до виходу вузла диференціювання, забезпечити зменшення кількості контактів зумовлену об'єднанням шин входів та виходів по яким інформація вхідна та вихідна з'являється роздільно у часі, завдяки запропонованому рішення для всіх ознак, які вказані у частині формули винаходу що відрізняється, і виявляють в процесі взаємодії характерні їм відомі властивості, що дають, кожен із них окремо, відомий позитивний ефект.

Отже, забезпечується надпідсумковий позитивний ефект, зумовлений сукупністю вказаних ознак, що задовольняє критерію «суттєві відмінності».

На фігурі зображена структурна схема цифрового пристрою.

Пристрій містить зміщуючий регістр 1, адресну комбінаційну схему 2, блок пам'яті 3, керуючий тригер 4, елементи «ИЛИ-НЕ» 5, вузол диференціювання 6, групу елементів «И» 7, регістр 8, елемент затримки 9, блок МДП-ключів 10.

У запропонованому пристрої значення функції виводиться у вигляді додавання по mod 2 коректуючих констант і трансформованої в зміщуючому регістрі кодової послідовності вхідного аргументу.

Для ділянки зміни аргументу $(x_j \leq x \leq x_{s+1})$ функція подається в такому вигляді:

$$F(x) = x(\xi_{(0)j}q^0 + \xi_{(1)j}q^{\pm 1} + \dots + \xi_{(m-1)j}q^{\pm(m-1)}) \oplus \Delta_j$$

де x - аргумент функції;

q - основа прийнятої системи лічлення;

m - розрядність коефіцієнту нахилу апроксимуючої прямої;

$\xi_{(0)j} \dots \xi_{(m-1)j}$ - константи перетворення, що мають значення 0 або 1;

Δ_j - значення коректуючих констант, визначених як сума по mod 2

значення трансформованої кодової послідовності вхідного аргументу і

відповідного йому значення кодової послідовності функції.

Кількість і знаки зміщень вибираються із врахуванням необхідної точності відтворення функції. Процедура розрахунку функцій, що реалізується, зумовлюється тим, що визначається значення коректуючої константи й коефіцієнта нахилу прямої на j -ій лінійній ділянці апроксимації.

Цифровий пристрій для обчислення функцій, що вміщує зміщуючий регістр 1, інформаційні входи якого з'єднані з входами пристрою, адресну комбінаційну схему 2, інформаційні входи якої підключені до виходів зміщуючого регістра, блок па-

м'яті 3, входи якого з'єднані з виходами адресної комбінаційної схеми, керуюча шина пристрою «Скид» підключена до перших керуючих входів зміщуючого регістра та регістра, шина «Запуск»

є керуючою шиною пристрою, керуючий тригер 4, перший вхід якого підключений до шини «Скид», а другий - до шини «Запуск», інверсний вихід тригера 4 підключений до керуючого входу адресної комбінаційної схеми 2, а прямий вихід тригера 4 з'єднаний з другим керуючим входом зміщуючого регістра 1, треті керуючі входи якого з'єднані першими виходами блока пам'яті 3 і підключені до входів елемента «АБО-НІ» 5, вихід якого з'єднаний із входом вузла 6 диференціювання, вихід якого підключений до керуючого входу групи елементів «І» 7, інформаційні входи яких підключені до відповідних виходів зміщуючого регістра 1, а виходи елементів «І» 7 підключені до відповідних зчитувальних входів регістра 8, кодові входи якого з'єднані з відповідними другими виходами блока пам'яті 3, який відрізняється тим, що вихід вузла 6 диференціювання підключений до входу введеного елемента затримки 9, вихід якого підключений до керуючого входу введеного блоку МДП-ключів 10, інформаційні входи блоку МДП-ключів 10 з'єднані з відповідними виходами вихідного регістра 8, а інформаційні входи блоку МДП-ключів з'єднані з інформаційними входами вхідного регістру 1 і є «входом/виходом» цифрового пристрою для обчислення функцій.

Надійність цифрових пристроїв для обчислення функцій, які створюються у вигляді інтегральних мікросхем підвищується тому, що інтенсивність відмов λ контактних вузлів всередині схеми на три, ..., чотири порядки менша в порівнянні з формуванням зовнішніх контактних вузлів.

Відомо [3], що основними причинами відмови приладів при зборці кристалів в корпус та установці на друковану плату є недостатня механічна міцність контактів, мала адгезія виводів до контактної площадки і останньої до підложи, деградації контактного опору через взаємну дифузію металів з утворенням інтерметалевих фаз і пустот, або прихованого технологічного дефекту.

Під контактним вузлом приймається система: струмоведуча площа металізації - термокомпресія - провідник - контактний вивід корпусу - міжз'єднання до струмоведучої площадки друкованої плати.

Припустимо, інтенсивність відмов кожного контактного вузла при операціях:

-термокомпресія провідника до металізованої площадки дорівнює

$$\lambda_1 = 10^{-6}$$

-термокомпресія провідника до контакту площини корпусу дорівнює

$$\lambda_2 = 10^{-6}$$

-контакт виводів корпусу 1С до друкованої плати дорівнює

$$\lambda_3 = 10^{-6}$$

Тоді загальна інтенсивність відмови одного контактного вузла дорівнює

$$\lambda_3 = \lambda_1 + \lambda_2 + \lambda_3 = 10^{-6} + 10^{-6} + 10^{-6} = 3 \cdot 10^{-6}.$$

Наприклад, у пристроїв при обробці інформаційних операндів з розрядністю 32 загальна інтенсивність відмов контактних вузлів дорівнює

$$32 \cdot \lambda_3 = 32 \cdot 10^{-6} = 96 \cdot 10^{-6}$$

Тоді середній час безвідмовної роботи T_p пристроїв дорівнює

$$T_p = (1/\Sigma\lambda_i). \quad (3)$$

Припустимо, що для пристроїв з числом контактних вузлів 32 інтенсивність відмови пристрою -

прототипу дорівнює $\lambda_{3\text{ пр}} = 96 \cdot 10^{-6}$, а у цифрового пристрою для обчислення функцій з розробленою новою схемотехнікою - зменшується число контактних вузлів в 2 рази, тоді

$$\lambda_{3\text{ вин}} = (96/2) \cdot 10^{-6}$$

тобто за рахунок зменшення кількості контактних вузлів інтенсивність відмови пристрою-винаходу зменшується в 2 рази.

Причому, порівняння проводиться при ідентичних умовах формування елементів конструкції, технології виготовлення пристроїв і мають однакоvu інтенсивність відмови.

Це забезпечує збільшення середнього часу безвідмовної роботи цифрового пристрою для обчислення функції, відповідно [3] в

$$T_{p\text{ вин}} / T_{p\text{ пр}} = (1/\Sigma\lambda_i)_{\text{вин}} / (1/\Sigma\lambda_i)_{\text{пр}}, \quad \text{рази} \quad (4)$$

де $T_{p\text{ пр}}$ - середній час безвідмовної роботи пристрою-прототипу;

$T_{p\text{ вин}}$ - середній час безвідмовної роботи цифрового пристрою для обчислення функції з розробленою новою схемотехнічною реалізацією.

Тоді для наведеного прикладу середній час безвідмовної роботи збільшується в

$$T_{\text{из}} / T_{\text{пр}} = 96 \cdot 10^{-6} / (96/2) \cdot 10^{-6} = 2$$

рази.

Отже, зменшення кількості контактних вузлів (припустимо) в 2 рази при збереженні паралельної обробки операндів високої точності зменшується середній час безвідмовної роботи в 2 рази.

Цифровий пристрій для обчислення функцій працює таким чином.

По входу «Скид» пристрою імпульс встановлює у вихідний стан зміщуючий регістр 1, тригер 4, регістр 8. Імпульс «Запуск» надходить на лічильний вхід тригера 4 і встановлює на виході регістра 1 вхідну кодову послідовність аргументу. Оскільки дозволяючий вхід адресної комбінаційної схеми 2 відкритий інверсним виходом тригера 4, то під дією коду аргументу на виході схеми 2 сформується імпульс, який надходить на відповідний вхід блоку пам'яті 3, під дією якого з перших виходів блоку пам'яті 3 зчитується код керуючої константи, який надходить на відповідні треті керуючі входи зміщуючого регістру 1, під дією якого вхідна кодова послідовність аргументу трансформується в зміщуючому регістрі по цілих степенях двійки вліво чи

вправо в залежності від знаку степеня при основі q .

З других виходів блока пам'яті 3 зчитується код коректуючої константи Δ_j і записується по кодових входах регістру 8. Трансформований код аргументу, проходячи через групу елементів «I» 7 під дією імпульсу дозволу сформованого елементом «АБО-НІ» 5 та вузлом диференціювання 6, надходить на лічильні входи регістру 8. Під дією одиниць, що надійшли на лічильний вхід регістру 8, відбудеться переключення відповідного тригера в регістрі 8 на протилежне, тобто відбудеться сумуванням по mod 2.

На виході регістра 8 з'явиться код значення відтворюваної функції, який надходить на інформаційні входи блоку МДП-ключів 10, інформаційний вихідний код з'явиться на виході блоку МДП-ключів 10 після надходження затриманого елементом затримки 9 імпульсу дозволу сформованого елементом «АБО-НІ» 5 та вузлом диференціювання 6, отже інформаційний вихідний код (код значення відтворюваної функції) з'явиться на кодових шинах "вхід/вихід" пристрою.

Таким чином, зменшення числа контактних вузлів у запропонованому пристрої при збереженні паралельної обробки операндів високої точності

(зберігається швидкодія), в порівнянні з прототипом, підвищує середній час безвідмовної роботи.

Цифровий пристрій, який реалізовано в єдиному кристалі, завдяки зменшенню кількості зовнішніх контактів буде більш відмовостійким і тому підвищує не тільки надійність пристрою та відсоток виходу придатних ІС, що знижує вартість цифрового пристрою для обчислення функцій.

Джерела інформації:

1. Мухопад Ю. Ф., Федченко А. И., Лукашенко В. М. Табличные функциональные преобразователи с ограниченным числом хранимых констант/Управляющие системы и машины. - 1978. - №6. - С.85-88.

2. Пат. 30645 А UA, МІЖ⁶ G06G07/26. Цифровий пристрій для обчислення функцій/ Лукашенко В. М.; заявник і патентовласник Черкаський державний технологічний університет - №98041690; заявл. 02.04.98; опубл. 15.12.2000, Бюл. №5. -4 с (прототип).

3. Лукашенко В.М. Быстродействующие высоконадежные функционально ориентированные преобразователи // Сучасні інформаційні та енергозберігаючі технології життєзабезпечення людини. - К. ФАДА, ЛТД. -1999. №6. - С 386-392.

