

УДК 681.327

В.А. АНДРИЕНКО², В.Г. РЯБЦЕВ¹, Т.Ю. УТКИНА²¹Черкасский филиал Европейского университета, Украина²Черкасский государственный технологический университет, Украина

АРХИТЕКТУРА ВСТРОЕННОГО МНОГОВЕРСИОННОГО САМОТЕСТИРОВАНИЯ МИКРОСХЕМ ПАМЯТИ

Рассматривается архитектура микросхемы памяти со встроенными средствами многоверсионного самотестирования. Показаны преимущества встроенного самотестирования над внешним автоматизированным тестовым оборудованием, которое является очень дорогим, что увеличивает стоимость микросхем на рынке. Предлагается архитектура встроенных средств, обеспечивающих оперативную смену программ самотестирования. Данная архитектура позволяет повысить качество микросхем памяти на этапе изготовления и повысить коэффициент технической готовности микросхем на этапе эксплуатации.

Ключевые слова: *встроенное самотестирование, микросхемы памяти, тесты семейства March.*

Введение

С появлением современных субмикронных технологий с очень высокой степенью интеграции (VLSI), растет производство систем на кристалле (System-on-Chip, SOC). Большинство таких систем содержат разнообразные виды встроенной памяти, которую считают одним из наиболее универсальных компонентов. Процент объема встраиваемой памяти на общем рынке полупроводниковой памяти достиг 50 % и будет постоянно возрастать в будущем. Так как эта тенденция широко распространена, тестирование встроенной памяти получает все большее внимание со стороны промышленности, а также научного сообщества [1].

Встроенное самотестирование или BIST (Built-In Self Test) является методом разработки дополнительных аппаратных и программных средств, которые могут выполнить тестирование, используя собственные компоненты, чтобы уменьшить зависимость от дорогостоящего внешнего автоматизированного тестового оборудования. Встроенное самотестирование микросхемы намного быстрее, эффективнее и является менее дорогим. Понятие BIST можно применить практически к любым видам больших интегральных микросхем, но ее реализация может значительно отличаться. BIST также является решением для тестирования критических схем, у которых нет никаких внешних контактов для подключения, таким устройством является встроенная память. В ближайшем будущем даже самого усовершенствованного тестера, возможно, не будет достаточно для быстрой микросхемы и самотестирования может быть наилучшим решением для данной ситуации.

Известна микросхема запоминающего устройства со встроенными средствами самотестирования, содержащая массив памяти, дешифратор адреса X, дешифратор адреса Y, усилители считывания, буфер адреса, элементы ввода/вывода, контроллер, программный счетчик, память микрокоманд, контроллер последовательности микрокоманд, АЛУ адреса, АЛУ данных, коммутатор адреса X, коммутатор адреса Y, компаратор, осуществляющий сравнение данных [2]. Недостатком данной микросхемы является невозможность изменения программ тестов встроенных средств самотестирования. Однако на разных этапах жизненного цикла микросхемы необходимо применять различные тестовые наборы. Так на этапе изготовления обычно используют длительные тестовые наборы, которые обнаруживают большое количество дефектов. На начальном этапе эксплуатации целесообразно использовать тестовые наборы небольшой продолжительности, чтобы повысить коэффициент технической готовности микросхемы. С увеличением периода эксплуатации вероятность возникновения отказов возрастает, поэтому необходимо применять тесты, имеющие более высокие диагностические свойства и, как правило, большую продолжительность.

Цель работы – разработка архитектуры встроенных средств самотестирования, обеспечивающих оперативное изменение программ тестов для реализации диагностирования на различных этапах жизненного цикла, что обеспечит обнаружение большинства дефектов еще на этапе изготовления и уменьшит затраты времени выполнения тестирования на этапе эксплуатации. Для достижения цели необходимо в составе микросхемы предусмотреть дополнительные аппаратные средства.

1. Типовая структура встроенных средств самотестирования памяти

Общий подход BIST для микросхем памяти включает внедрение в микросхему дополнительных схем для генерации тестов, синхронизации и сравнения ответных реакций с эталонными данными. Типовая структура микросхемы памяти со встроенными средствами самотестирования приведена на рис. 1 и содержит контроллер, генератор кодов адреса и данных, компаратор данных и коммутаторы, обеспечивающие подключение к массиву запоминающих ячеек сигналов в рабочем или тестовом режимах [3].

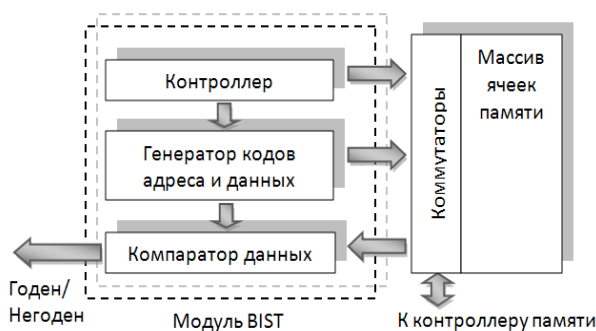


Рис. 1. Типовая структура микросхемы памяти со встроенными средствами самотестирования

Типовая архитектура BIST обладает рядом недостатков. Для реализации BIST необходима дополнительная область кристалла, размер для которой следует выделить и по возможности минимизировать. За счет установки дополнительных коммутаторов увеличивается время выборки. Для активизации процесса тестирования и получения результата требуются дополнительные контакты. При наличии средств BIST для связи с внешней средой необходимо использовать эффективный интерфейс. Возможны также проблемы с правильностью полученных результатов самотестирования из-за отказов дополнительных аппаратных средств, установленных в микросхему.

Использование архитектуры BIST является экономически эффективным, так как аппаратные средства являются незначительными, но для обеспечения смены тестов на разных этапах эксплуатации требуется усовершенствование существующей архитектуры. При модификации архитектуры BIST необходимо обеспечить оперативное переключение тестового процесса в нормальный режим работы микросхемы. Степень покрытия возможных отказов должна увеличиваться при увеличении периода эксплуатации микросхемы, при этом аппаратные расходы должны быть как можно меньше, чтобы не сильно увеличивалась стоимость реализации новой архитектуры.

2. Структура средств встроенного многоверсионного самотестирования

Для обеспечения многоверсионного самотестирования дополнительно в микросхему памяти введены стек, регистр пускового адреса, буферный элемент и вход для подачи синхронизирующего сигнала CLK. Структура микросхемы памяти со встроенными средствами многоверсионного самотестирования приведена на рис. 2. Для инициализации микросхемы на вход CS подается сигнал высокого уровня напряжения, который через буферный элемент обеспечивает установление в исходное состояние всех компонентов микросхемы, обеспечивающих выполнение самотестирования. При подаче на вход микросхемы сигнала ST программный счетчик формирует одиночный импульс OU, что обеспечивает запись кода, поданного на входы шины адреса AD в регистр пускового адреса, и обеспечивает выбор кода подпрограммы теста, которая хранится в памяти микрокоманд. Таким образом, если предварительно записать в данную память несколько подпрограмм тестов, то можно обеспечить их выбор установкой на шину адреса кода, соответствующего коду применяемой подпрограммы.

Наиболее эффективными тестами для диагностирования полупроводниковой памяти являются тесты семейства March, которые состоят из конечного набора элементарных операций, последовательность которых применяется для каждой ячейки диагностируемого массива. Операция может состоять из записи 0 в ячейку с адресом $a - V(a)$, записи единицы $- W(a)$ и считывания данных $- R(a)$. Последовательность операций, которые выполняются по заданному алгоритму удобно отобразить символом P , верхний и нижний индексы которого соответствуют начальному и конечному адресам диагностируемого устройства [4].

Тест March_C обеспечивает выполнение десяти операций над каждой запоминающей ячейкой:

$$\pi_{\text{MARCH_C}} = P_{a=0}^{n-1} V(a) P_{a=0}^{n-1} (R(a)W(a)) P_{a=0}^{n-1} (R(a)V(a)) P_{a=0}^{n-1} (R(a)W(a)) P_{a=0}^{n-1} (R(a)V(a)) P_{a=0}^{n-1} (R(a)).$$

Тест Hammer является самым продолжительным тестом из семейства March, так как содержит 49 циклов операций обращения к каждой ячейке микросхемы памяти:

$$\pi_{\text{HAMMER}} = P_{a=0}^{n-1} V(a) P_{a=0}^{n-1} (R(a) P_{i=1}^{10} (W(a))_i R(a)) P_{a=0}^{n-1} (R(a) P_{i=1}^{10} (V(a))_i R(a)) P_{a=0}^{n-1} (R(a) P_{i=1}^{10} (W(a))_i R(a)) P_{a=0}^{n-1} (R(a) P_{i=1}^{10} (V(a))_i R(a)).$$

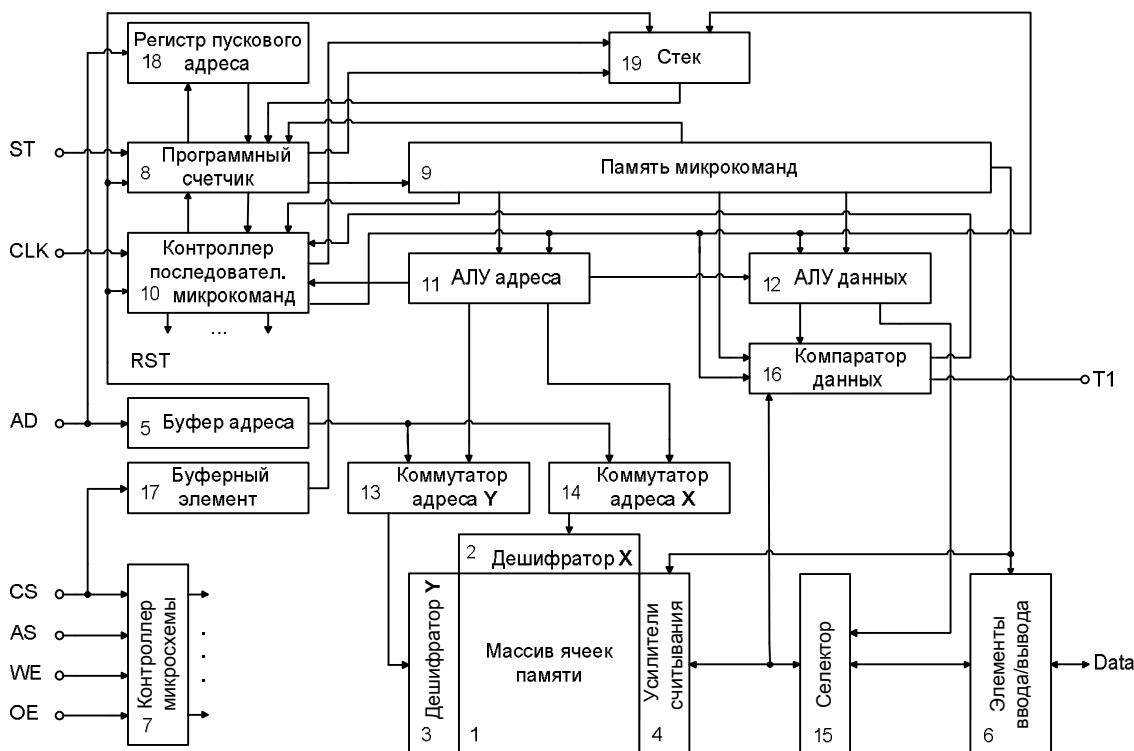


Рис. 2. Микросхема памяти со встроенными средствами многоверсионного самотестирования

Применяя два различных пусковых адреса можно обеспечить выполнение данных тестов.

3. Особенности формата микрокоманд и микроопераций

Формат микрокоманды состоит из следующих полей [5, 6]:

- кода микрокоманды;
- рабочих микроопераций записи (W), считывания (R), сравнения (A);
- кода микроопераций адреса;
- кода микроопераций данных
- адреса перехода.

На рис. 3 изображен формат микрокоманд и микроопераций.

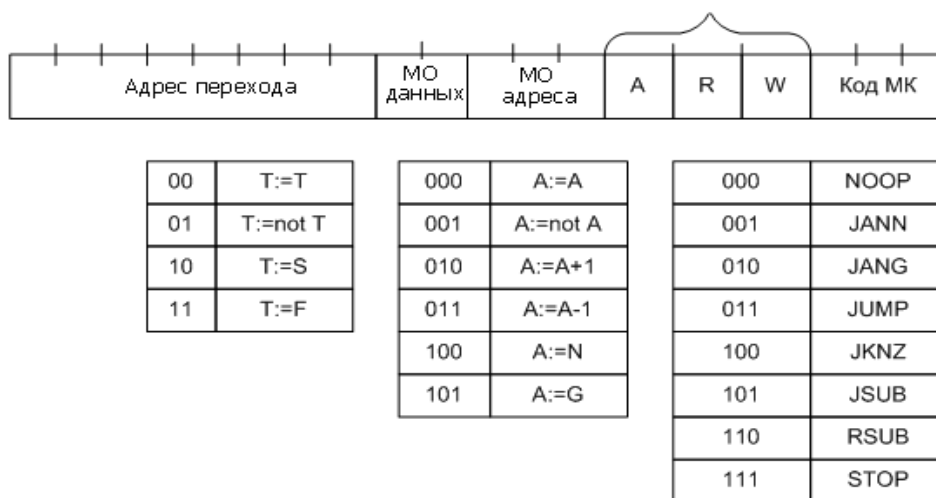


Рис. 3. Формат микрокоманд и микроопераций

Для формирования тестов используются следующие микрокоманды:

NOOP – отсутствие операции, обеспечивает переход к следующей микрокоманде;

JANN – переход к команде, код адреса которой

записан в поле адреса перехода, если текущий адрес ячейки памяти не равен адресу конечной ячейки;

JANG – переход к команде, код адреса которой записан в поле адреса перехода, если адрес текущий ячейки памяти не равен адресу начальному ячейки.

JUMP – безусловный переход к команде, код адреса которой записан в поле адреса перехода;

JKNZ – условный переход к команде, адрес перехода которой записан в поле адреса перехода, если при сравнении считанных данных с эталонными значениями обнаружено несовпадение кодов;

JSUB – вызов подпрограммы, код адреса которой записан в поле адреса перехода;

RSUB – выход из подпрограммы;

STOP – остановка выполнения теста.

Пример листинга программы вызова двух версий тестов: March_C и Hammer приведен ниже.

```

0000 NOOP
0001 JSUB, 1000
0010 JKNZ, 00111
0011 JUMP, 0001
0100 JSUB, 0111111
0101 JKNZ, 00111

```

```
0110 JUMP, 0100
```

```
0111 STOP
```

4. Структура компонентов встроенных средств самотестирования

В качестве стека можно применить память типа: LIFO (Last In – First Out, последним пришел – первым вышел). Емкость стека определяется числом подпрограмм последовательно вызываемых для выполнения. Реализация регистра пускового адреса не вызывает проблем. Число разрядов данного регистра определяется количеством различных подпрограмм тестов.

Структурная схема программного счетчика приведена на рис. 4 и состоит из логических элементов D1-D5, D9, D11-D13, коммутаторов D6 и D10, D-триггеров D7, D8, счетчика D14 и инкремента A1.

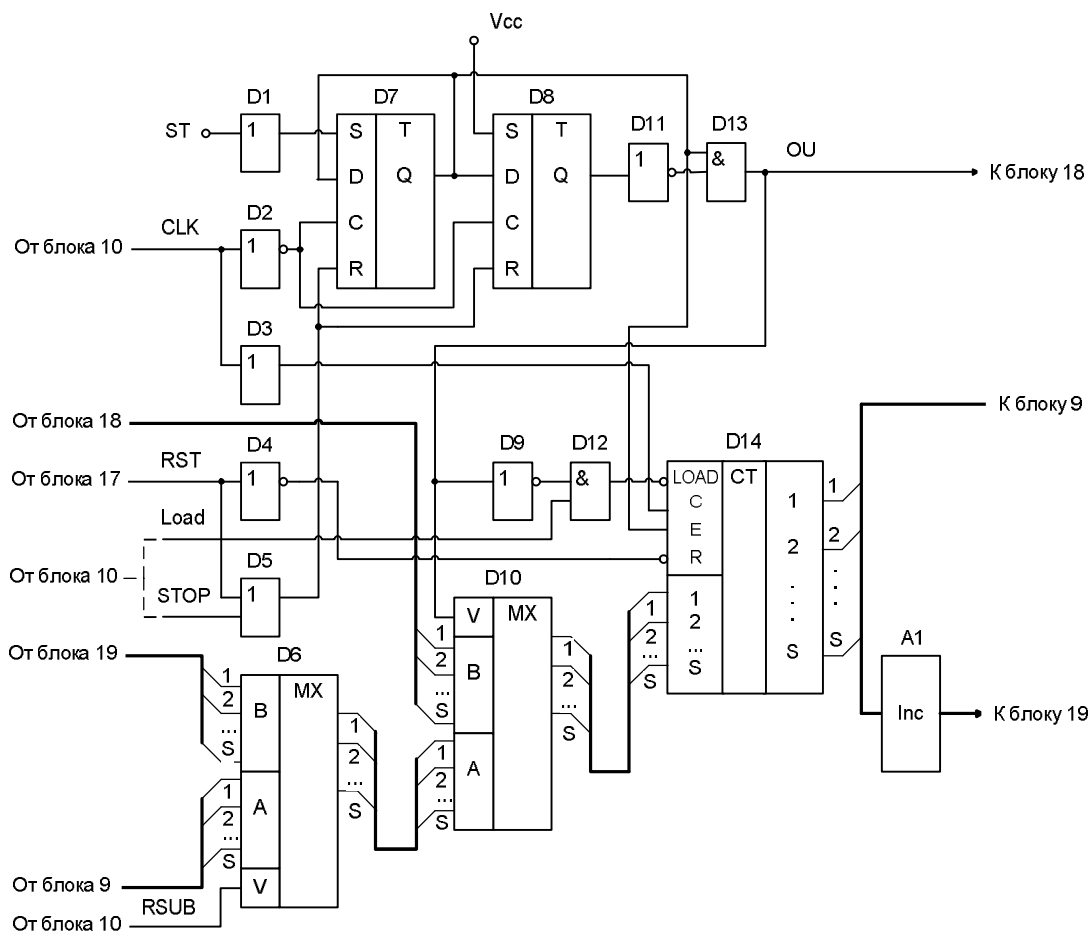


Рис. 4. Структурная схема программного счетчика

При поступлении сигнала ST D-триггеры D7, D8 формируют одиночный импульс OU, что обеспечивает занесение кода, хранящегося в пусковом регистре, в счетчик D14. При этом начинается выполнение подпрограммы выбранного теста. При последовательной выборке микрокоманд счетчик D14 работает в счетном режиме, а при реализации команд условного перехода и возврата из подпро-

граммы обеспечивается параллельное занесение кодов через коммутаторы D6 и D10.

Выводы

При выполнении теста March_C происходит $10n$ циклов обращения к массиву ячеек памяти, а при выполнении теста Hammer – $49n$ циклов, где n – количество ячеек памяти. Тест Hammer, имеющий

большую продолжительность, рекомендуется выполнять на этапе изготовления микросхем памяти и на позднем этапе эксплуатации, а тест March_C – на раннем этапе их эксплуатации.

По состоянию сигнала на выходе Т1 микросхемы идентифицируется результат ее тестирования. При наличии высокого уровня напряжения на выходе Т1 микросхема считается забракованной. Технично-экономический эффект от применения многоверсионного самотестирования достигается за счет повышения качества микросхем памяти на этапе изготовления и повышения коэффициента технической готовности микросхем на этапе эксплуатации, что достигается оперативной сменой программ самотестирования.

Литература

1. Zorian, Y. *Embedded-Memory Test and Repair: Infrastructure IP for SoC Yield* / Y. Zorian, S. Shoukourian [Text] / Y. Zorian // *IEEE Design and Test of Computers*. – 2003. – Issue 3. – P. 58 – 66.
2. Пат. США. *Semiconductor Integrated Circuit and Method for Testing Memory* [Text]. № 6233182B1, Int.Cl.G11C 7/00. May 15, 2001.
3. Hong, W. *A Programmable Memory BIST for Embedded Memory* [Text] / W. Hong, J. Choi, H. Chang // *Proceeding of International SoC Design Conference (ISOCC)* : (Nov. 2008). – P. 195 – 198.
4. Аль Мади, М. К. *Алгоритмы тестового диагностирования полупроводниковых запоминающих устройств* [Текст] / М.К. Аль Мади, Д.Н. Моамар, В.Г. Рябцев. – К.: “Корнійчук”, 2008. – 220 с.
5. Almadi, M.K. *New infrastructure for memory tests design* [Text] / M.K. Almadi, D.N. Moamar, V.G. Ryabtsev // *Critical Infrastructure Safety and Security (CrISS-DESSERT 2011) : Proceedings of The International Workshop : (11-13 May 2011, Kirovograd)*. – P. 434 – 440.
6. Almadi, M.K. *New Methods and Tools for Design of Tests Memory* [Text] / M.K. Almadi, D.N. Moamar, V.G. Ryabtsev // *Proceedings of East-West Design&Test Workshop (EWDTW'10) : (9-12 Sep. 2011, Sevastopol, Ukraine)*. – Kharkiv : KHNURE, 2011. – P. 319 – 325.

Поступила в редакцию 23.02.2012

Рецензент: д-р техн. наук, проф. зав. кафедрой специализированных компьютерных систем В.М. Лукашенко, Черкасский государственный технологический университет, Черкассы, Украина.

АРХІТЕКТУРА ВБУДОВАНОГО БАГАТОВЕРСІЙНОГО САМОТЕСТУВАННЯ МІКРОСХЕМ ПАМ'ЯТІ

В.О. Андриєнко, В.Г. Рябцев, Т.Ю. Уткина

Розглядається архітектура мікросхеми пам'яті з вбудованими засобами багатoversійного самотестування. Показані переваги вбудованого самотестування над зовнішнім автоматизованим ванним тестовим обладнанням, яке є дуже дорогим, що збільшує вартість мікросхем на ринку. Пропонується архітектура вбудованих засобів, що забезпечують оперативну зміну програм самотестування. Дана архітектура дозволяє підвищити якість мікросхем пам'яті на етапі виготовлення і підвищити коефіцієнт технічної готовності мікросхем на етапі експлуатації.

Ключові слова: вбудоване самотестування, мікросхеми пам'яті, тести сімейства March.

BUILT-IN SELF TEST ARCHITECTURE MULTI-VERSION MEMORY CHIPS

V.A. Andrienko, V.G. Ryabtsev, T.Yu. Utkina

The architecture of the memory chips with built-in multi-version self-test is considered. The advantages of built-in self-test on the external automated test equipment that is very expensive, increases the value of chips on the market. The architecture of built-in tools, that provide an operational change of the self-test programs, is offered. This architecture allows improving the quality of the memory chips on the stage of production and increasing the rate of technical readiness of chips during operation.

Key words: built-in self test, memory chips, a family of tests March.

Андриєнко Володимир Александрович – ассистент кафедры компьютерных технологий Черкасского государственного технологического университета, Черкассы, Украина, e-mail: andrienko22@ukr.net.

Рябцев Владимир Григорович – д-р техн. наук, проф., заведующий кафедрой математических и компьютерных дисциплин Черкасского филиала Европейского университета, Черкассы, Украина, e-mail: volodja18@ukr.net.

Уткина Татьяна Юрьевна – канд. техн. наук, старший преподаватель кафедры специализированных компьютерных систем Черкасского государственного технологического университета, Черкассы, Украина, e-mail: utia_chdtu@yahoo.com.